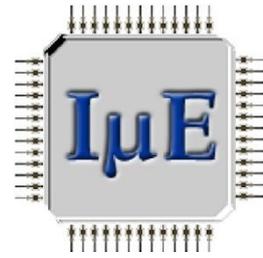




TECHNISCHE
UNIVERSITÄT
WIEN

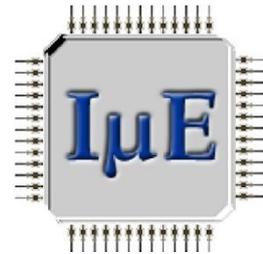


Entwicklung einer kompakten Messeinheit zur Erweiterung des TDDS Messsystems





TECHNISCHE
UNIVERSITÄT
WIEN



Bachelorarbeit

Entwicklung einer kompakten Messeinheit zur Erweiterung des TDDS Messsystems

ausgeführt zum Zwecke der Erlangung des akademischen Grades eines

Bachelor of Science (B. Sc.)

unter der Leitung von

A.o. Univ.-Prof. Dipl.-Ing. Dr. techn. Tibor Grasser

und

Dipl.-Ing. Michael Waltl

am

Institut für Mikroelektronik

eingereicht an der Technischen Universität Wien

von

Michael Tschiedel

1326357

Kirchenblick 1

2203 Großebersdorf

Wien, im Dezember 2015

A blue ink signature of Michael Tschiedel, written over a horizontal line.

Michael Tschiedel

Kurzfassung

Defekte in der Atomstruktur, insbesondere im Oxid bzw. an der Oxid-Halbleiter Grenzfläche, sind für das nichtideale Verhalten sowie das Altern der Transistoren verantwortlich. Um diese Defekte zu charakterisieren und analysieren, wurde am Institut für Mikroelektronik die Time-Dependent Defect Spectroscopy (TDDS) entwickelt. Die experimentell gewonnenen Parameter, Zeitkonstanten und Änderungen in der Schwellspannung, werden zur Modellierung bzw. Simulation des Einflusses von der sog. Bias Temperature Instabilities (BTI) auf die Transistoren herangezogen. Übliche Messaufbauten verwenden Öfen und Waferprober, welche einerseits sehr teuer und andererseits träge was die Temperaturveränderung betrifft sind. In dieser Bachelorarbeit wird eine kompakte Messeinrichtung zur Erweiterung des bestehenden TDDS Messsystemes entworfen. Die entwickelte kompakte Messerweiterung (engl. CME – Compact Measurement Extension) erlaubt es, Transistoren die in Standard Dual In-Line (DIL) Keramikgehäusen verpackt sind, direkt in das Messsystem einzusetzen. Durch eine speziell angefertigte Heizeinheit können die Teststrukturen gezielt aufgeheizt werden. Kurze Aufheizzeiten sind für die Analyse von Defekten sehr wichtig, wodurch sich die CME auszeichnet.

Abstract

Defects in the atomic structure, especially those located in the oxide and at the oxide/semiconductor interface are the cause for the non-ideal behavior and aging of transistors. To characterize and analyze oxide defects the Time-Dependent Defect Spectroscopy (TDDS) has been recently proposed. The experimentally collected defect parameters, namely the time constants and threshold voltage shifts, are used to model and simulate the impact of Bias Temperature Instabilities (BTI) on the device behavior. Typical measurement setups use ovens and probe stations. However, they are very expensive and the device temperature can only be changed very slowly. To overcome these disadvantages, a new compact measurement extension (CME) has been developed and is presented in this Bachelor Thesis. The CME is a versatile extension of the existing setup and allows quick and easy connection of test structures mounted into conventional dual in-line (DIL) ceramic packages. A specially designed heating unit allows controlled and fast temperature changes. This is very important when defects are studied and is one of the main benefits of the CME.

Inhaltsverzeichnis

1	Einleitung.....	4
2	Grundlagen.....	5
2.1	MOSFETs.....	5
2.2	Defekte in MOSFETs.....	6
2.3	TDDS – Time-Dependent Defect Spectroscopy.....	9
3	Realisierung.....	12
3.1	Adapterplatinensystem.....	12
3.2	Schirmgehäuse.....	16
3.3	BauteilAuswahl.....	17
4	Variation der Bauteiltemperatur.....	18
4.1	Realisierung.....	18
4.2	PID-Regler Dimensionierung.....	19
4.3	Abschätzen der Zeitkonstanten.....	22
4.4	BauteilAuswahl.....	23
5	Testmessungen.....	24
6	Ausblick.....	27
7	Anhang.....	28
7.1	Photodokumentation.....	28
7.2	Konstruktionszeichnungen.....	31
8	Literaturverzeichnis.....	35

1 Einleitung

Die gesamte Arbeit gliedert sich in einen theoretischen und praktischen Teil. Zuerst wird die Funktionsweise des MOSFETs erklärt, gefolgt von einer Einführung in die Degradationsmechanismen welche für das Altern bzw. nichtideale Verhalten der MOSFETs verantwortlich sind. Anschließend wird die Time-Dependent Defect Spectroscopy (TDDS) genauer erläutert, welche entwickelt wurde um den Einfluss von Defekten im Oxid auf das Verhalten der MOSFETs genauer zu analysieren.

Der praktische Teil befasst sich mit der Entwicklung einer kompakten Messerweiterung (engl. CME – Compact Measurement Extension) zur Erweiterung des bestehenden TDDS Messsystems. Es kommt zur konkreter Auswahl aller benötigten Bauteile und Anfertigung aller Konstruktion- und Fertigungszeichnungen. Dem folgt die Erstellung der benötigten Schalt- und Layoutpläne mit anschließender Realisierung des ersten Prototyps. Durch ein spezielles Schirmgehäuse besitzt die CME eine Messauflösung bis in den pA-Bereich.

In weiterer Folge werden pMOSFETs gemessen und Defekte sowie deren Temperaturabhängigkeit präsentiert. Abschließend wird noch ein Ausblick hinsichtlich möglicher weiterer Optimierungen der CME gegeben.

2 Grundlagen

Der erste Abschnitt beschreibt das Bauelement MOSFET im Allgemeinen. Diesem folgt eine kurze Darstellung der Defekte, welche die Lebensdauer und Funktion der Bauelemente negativ beeinflussen. Abschließend wird die sog. TDDS erläutert, die entwickelt wurde, um die Auswirkung der Defekte auf die zu analysieren und in weiterer Folge zu simulieren.

2.1 MOSFETs

MOSFETs (engl. metal-oxide-semiconductor field effect transistor) sind elektronisch steuerbare Ventile für Ladungsträger bei denen der Stromfluss zwischen dem sog. Source-Kontakt und dem Drain-Kontakt über einen Steuerkontakt das sog. Gate (Tor) moduliert werden kann. Der Bereich im Halbleiter, der den Strom führt, wird *Kanal* genannt, siehe Abbildung 2-1.

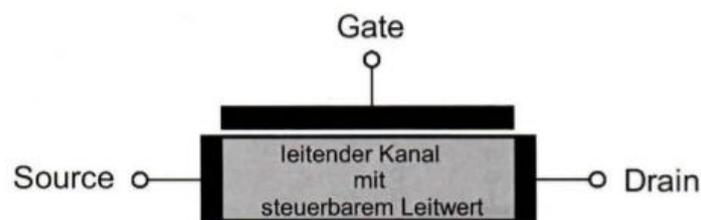


Abbildung 2-1: Schematischer Aufbau eines MOSFETs; **Source** - Anschluss, von dem die Ladungsträger in den Kanal gelangen; **Drain** - Anschluss, an dem die Ladungsträger den Kanal verlassen; **Gate** - Steuerelektrode für die Anzahl der Ladungsträger im Kanal und somit auch für die Größe des Source-Drain Stromes; (1)

Am Stromfluss zwischen dem Source- und Drain-Kontakt im Kanal sind nur Ladungsträger eines Typs nämlich Elektronen oder Löcher beteiligt. Daher spricht man bei MOSFETs auch von unipolaren Transistoren.

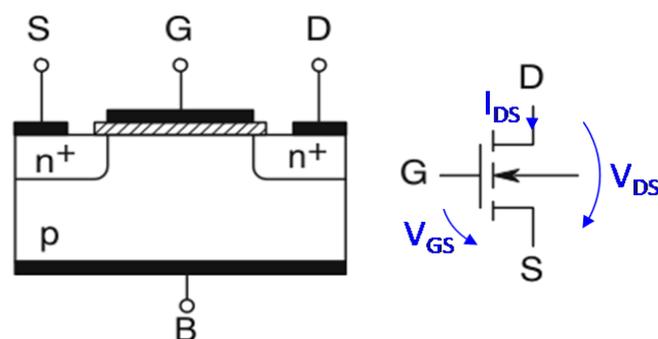


Abbildung 2-2: (links) Schematischer Aufbau eines n-Kanal-Anreicherungstyp MOS Transistors; p-Trägersubstrat mit den hochdotierten n⁺-Bereichen für Source und Drain; schraffiert ist das Oxid dargestellt; (rechts) Schaltsymbol mit Bezugspfeilen für Ströme und Spannungen; (2)

Je nach angelegter Spannung an den einzelnen Kontakten unterscheidet man bei MOSFETs folgende Betriebszustände:

1) Anreicherung¹ (engl. accumulation): Durch eine negative Gate-Source Spannung ($V_{GS} < 0$) werden die Löcher aus dem p-Substrat an die Grenzfläche zum Oxid gezogen und dort angehäuft. Es kommt zu einer Anreicherung von Majoritätsladungsträgern. Dies hat zur Folge, dass die n^+p -Übergänge in Sperrrichtung gepolt sind und daher kein Stromfluss möglich ist.

2) Verarmung (engl. depletion): Wird V_{GS} nur geringfügig positiv, so werden die Löcher von der Grenzfläche weggedrängt, d.h. es findet eine Verarmung der Majoritätsladungsträger des p-Substrates statt. Es bildet sich eine Raumladungzone an der Grenzfläche zwischen Oxid und Halbleiter aus. Diese Raumladungzone hat keine freien Ladungsträger und somit einen sehr großen elektrischen Widerstand. Die sehr gering vorhandenen Ströme werden als Leckströme bezeichnet und sind eine Konsequenz von thermischen Elektron-Loch-Paar Rekombinations- und Generationsprozessen.

3) Inversion: Bei einer weiteren Erhöhung der Gate-Source Spannung V_{GS} über eine bestimmte Schwellspannung V_{TH} (threshold voltage) werden Majoritätsladungsträger von der Oxid-Halbleitergrenzschicht komplett verdrängt. Es kommt zu einer Ansammlung von Minoritätsträgern, wodurch das ursprünglich p-dotierte Substrat an einer nur wenigen nm dicken Schicht der SiO_2/Si Grenzfläche n-leitend wird.

Im Falle von Inversion kommt es bei einer positiven Drain-Source Spannung ($V_{DS} > 0$) zu einem Stromfluss I_{DS} . Ab einer gewissen Spannungsschwelle ($V_{DS} = V_{GS}$) ist jedoch keine weitere Stromsteigerung mehr möglich, man spricht von der Stromsättigung. Hierbei wird der Kanal unsymmetrisch verformt und schließlich vollständig abgeschnürt. Der Drain-Source Strom wird in diesem Fall unabhängig von der angelegten Gate Spannung. (1)

2.2 Defekte in MOSFETs

In MOSFETs sind Defekte an der Halbleiter-Oxid-Grenzfläche (interface traps) und im Oxid (oxide traps) für das nichtideale Verhalten sowie das Altern des Bauteils verantwortlich. Solche Defekte sind elektrisch aktiv, d.h. sie können Ladungsträger vom Kanal aufnehmen oder diese Ladung abgeben. Die chemische Struktur dieser Defekte wird mittels Dichtefunktionaltheorie-Simulationen (density functional theory – DFT) nachgebildet. Vom messtechnischen Standpunkt aus können die Defekte durch den Einfluss auf den Drain-Source Strom charakterisiert werden.

¹ Die Spannungen und Bezugsrichtungen sind hier für einen nMOSFET dargestellt. Beim pMOSFET liegen umgekehrte Verhältnisse vor. Vereinfacht sind beim pMOSFET die Rollen von Source- und Drain-Kontakt vertauscht und die Schwellspannung V_{TH} in der Regel negativ.

Betrachtet man zuerst einen pMOSFET ohne Defekt, siehe Abbildung 2-3. Diese Abbildung zeigt das 3D-Modell eines pMOSFETs mit $W=160\text{nm}$ und $L=120\text{nm}$. In den Source- und Drain-Gebieten sind die einzelnen Dotieratome erkennbar. Weiters ist bei solchen kleinen Bauteilen die Anzahl der Dotieratome des Substrates abzählbar klein. In Abbildung 2-3 sind das die groß eingezeichneten Atome, die sich im Kanal zwischen dem Source- und Drain-Gebiet befinden. Der grüne Bereich beschreibt den Stromfluss. Man erkennt sofort, dass sich der Strom, ähnlich wie ein Fluss, den Weg vom Source- zum Drain-Gebiet an den Dotieratomen vorbei, im Modell des Flusses wären dies Steine, suchen muss. Diese Interpretation des Strompfades wird im engl. auch als *percolation path model* bezeichnet.

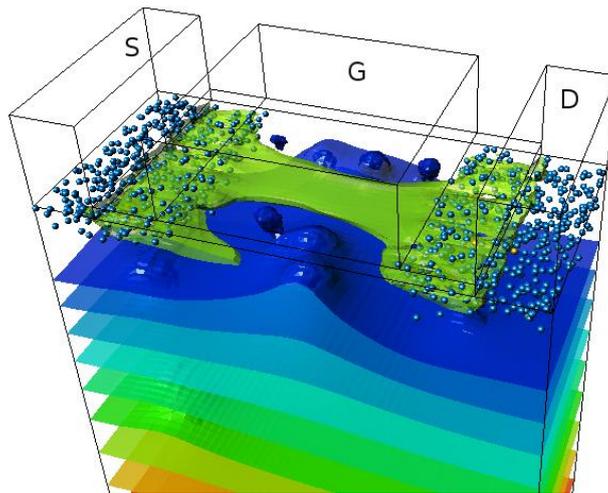


Abbildung 2-3: 3D-Modell eines pMOSFET mit $W=160\text{nm}$ x $L=120\text{nm}$ ohne Defektstelle; Der Transistor befindet sich in Inversion, sodass es zum Stromfluss zwischen Source und Drain kommt. (3) (4)

Wird nun ein Defekt weit außerhalb des Kanales angesetzt, siehe Abbildung 2-4, so wird dieser selbst im geladenen Zustand keinen bzw. einen vernachlässigbar kleinen Einfluss auf den Stromfluss haben.

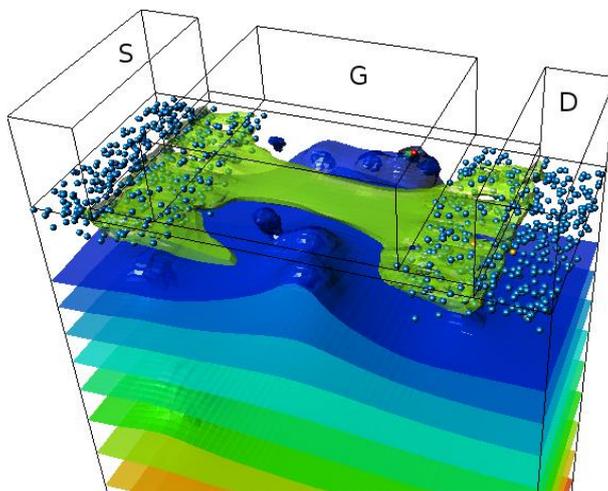


Abbildung 2-4: 3D-Modell eines pMOSFET mit $W=160\text{nm}$ x $L=120\text{nm}$ mit seitlicher Defektstelle (roter Punkt); Der Defekt liegt weit außerhalb des Strompfades und hat im geladenen Zustand keinen Einfluss auf den geführten Strom. (3) (4)

Plaziert man nun den gleichen Defekt direkt in der Mitte des Kanales, siehe Abbildung 2-5, kann dieser, wenn er positiv geladen wird, den Kanal vollständig abschnüren. Das hat im Extremfall zur Folge, dass unabhängig von der Gate Spannung kein Stromfluss im pMOSFET möglich ist. Das Bauteil wäre dadurch solange unbrauchbar, bis der Defekt in der Mitte des Kanals seine Ladung abgibt und elektrisch neutral wird.

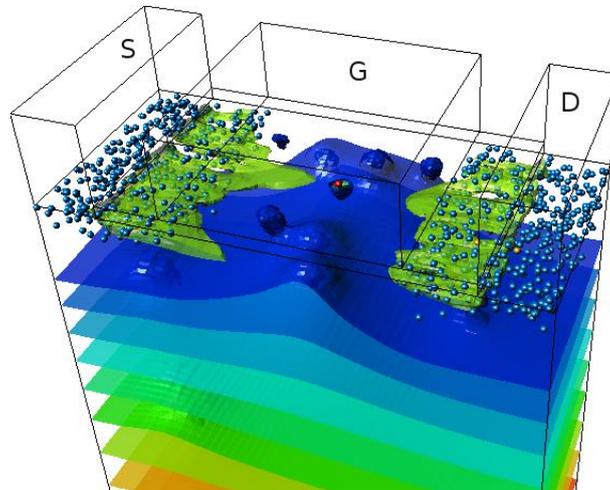


Abbildung 2-5: 3D-Modell eines pMOSFET mit $W=160\text{nm}$ x $L=120\text{nm}$ mit mittlerer Defektstelle (roter Punkt); Der Transistor befindet sich in Inversion, jedoch schnürt der Defekt im geladenen Zustand den Kanal vollständig ab, sodass kein Stromfluss zwischen Source und Drain möglich ist. (3) (4)

Zusammenfassend bedeutet das, dass Defekte abhängig von ihrer Position und ihrem elektrischen Zustand (geladen/neutral) im Bauteil unterschiedliche Barrieren für die Ladungsträger darstellen. Das plötzliche Einfangen und Abgeben von einzelnen Ladungsträgern in Defekte verursacht jeweils einen diskreten Sprung in I_{DS} . Diese Stufen in I_{DS} können gemessen und ausgewertet werden.

Konventionelle Modelle, welche die Defekte beschreiben, gehen davon aus, dass sich diese in zwei Zuständen befinden können: einem neutralen Zustand ohne Ladungseinfang und einem geladenen in dem für die Zeitdauer τ_e Ladung eingefangen ist. Die Defekte werden über ihre Zeitkonstanten für den Ladungseinfang sog. capture time τ_c sowie über die der Ladungsemission sog. emission time τ_e beschrieben. Diese elektrisch aktiven Defekte beeinträchtigen die Zuverlässigkeit der MOSFETs. Insbesondere werden sie für Random Telegraph Noise (RTN), $1/f$ -Rauschen sowie für die sog. Bias Temperature Instabilities (BTI) verantwortlich gemacht. (5)

Im folgenden Abschnitt wird die sog. Time-Dependent Defect Spectroscopy (TDDS) (6) näher betrachtet. Diese Methode beschäftigt sich mit der Analyse und Modellierung von solchen Defekten.

2.3 TDDS – Time-Dependent Defect Spectroscopy

Die TDDS beruht auf zwei Grundkonzepten, einerseits einer Einzelmessung unter konstanten Spannungsbedingungen und andererseits einer N-maligen Wiederholung dieser. Durch das mehrmalige Messen, typisch $N=100$, können statistisch aussagekräftige Parameter für jeden Defekt ermittelt werden.

Der Messablauf einer **TDDS Einzelmessung** sei anhand eines nMOSFETs, Schaltbild und Bezugsspannungen siehe Abbildung 2-2, erklärt. Die Messung besteht im Allgemeinen aus zwei Phasen, erstens der Stress- und zweitens der Regenerationsphase.

Während der **Stressphase** wird an dem Transistor eine positive Gate-Source Spannung größer der Schwellspannung angelegt ($V_{GS} > V_{TH}$). Zeitgleich ist die Drain-Source Spannung null ($V_{DS} = 0$), wodurch kein Drain-Source Strom fließt ($I_{DS} = 0$). Während dieser Zeit können einzelne Defekte, welche sich im Oxid befinden, Ladungen aufnehmen (charge trapping). Die Bedingung für den Ladungseinfang ist hier, dass die gewählte Stresszeit t_s größer der mittleren capture time τ_c des jeweiligen Defekts ist.

Während der Stressphase gehen Defekte durch das Aufnehmen von Ladungen vom neutralen in den geladenen Zustand über. Diese geladenen Defekte beeinflussen wie in Abbildung 2-5 ersichtlich, das sog. elektrische Oberflächenpotential im Kanal, welches für die Verteilung der Elektronen und somit für die Bildung des Kanals verantwortlich ist.

Für die sog. Bias Temperature Instabilities (BTI) ist wichtig, dass während der Stressphase die Drain-Source Spannung null ist ($V_{DS} = 0$), um nur Defekte im Oxid zu laden. Im Falle von Hot Carrier Stress (HCS) wird eine von null verschiedene Drain-Source Spannung ($V_{DS} \neq 0$) verwendet, um auch Defekte im Substrat zu laden. Mittels TDDS wird vorerst nur der Einfluss von Defekten im Oxid auf das Verhalten von MOSFETs analysiert und somit ist $V_{DS} = 0$.

In der anschließenden **Regenerationsphase** wird die Gate-Source Spannung auf einen Wert nahe der Schwellspannung gesetzt ($V_{GS} \approx V_{TH}$). Eine kleine positive Drain-Source Spannung (typ: $V_{DS} = 0,1V$) ist für einen Drain-Source Strom ($I_{DS} > 0$) erforderlich. Es kommt zu einem sofortigen sprunghaften Anstieg des Stromes (ΔI_1 in Abbildung 2-6) jedoch nicht bis zum erwarteten Strom des ungestörten Transistors. Die während der Stressphase geladenen Defekte geben ihre Ladung nach den für sie charakteristischen Zeitdauern (emission time τ_e) ab. Dieses verzögerte Freisetzen der in der Stressphase eingefangenen Ladungen, ist im Falle von kleinen Transistoren ($W \times L < 200 \times 200nm$) im stufenförmigen Anstieg von I_{DS} während der Regenerationsphase, grüner Bereich in Abbildung 2-6, ersichtlich.

Durch das Emittieren der Ladung geht ein geladener Defekt in seinen ungeladenen Zustand über und hat somit keinen Einfluss mehr auf das Oberflächenpotential im Kanal. Er bleibt aber räumlich an seinem Ort vorhanden, sodass ein weiterer Ladungseinfang in einer nachfolgenden Stressphase möglich ist.

Im Gegensatz dazu gibt es auch Defekte, die sehr lange (mehrere Minuten, Stunden, Wochen, etc.) im geladenen Zustand verharren. Diese Defekte bestimmen die sog. permanente Komponenten der Degradierung des MOSFETs und sind für die bleibende Abweichung in ΔI_{DS} am Ende der Regenerationsphase verantwortlich.

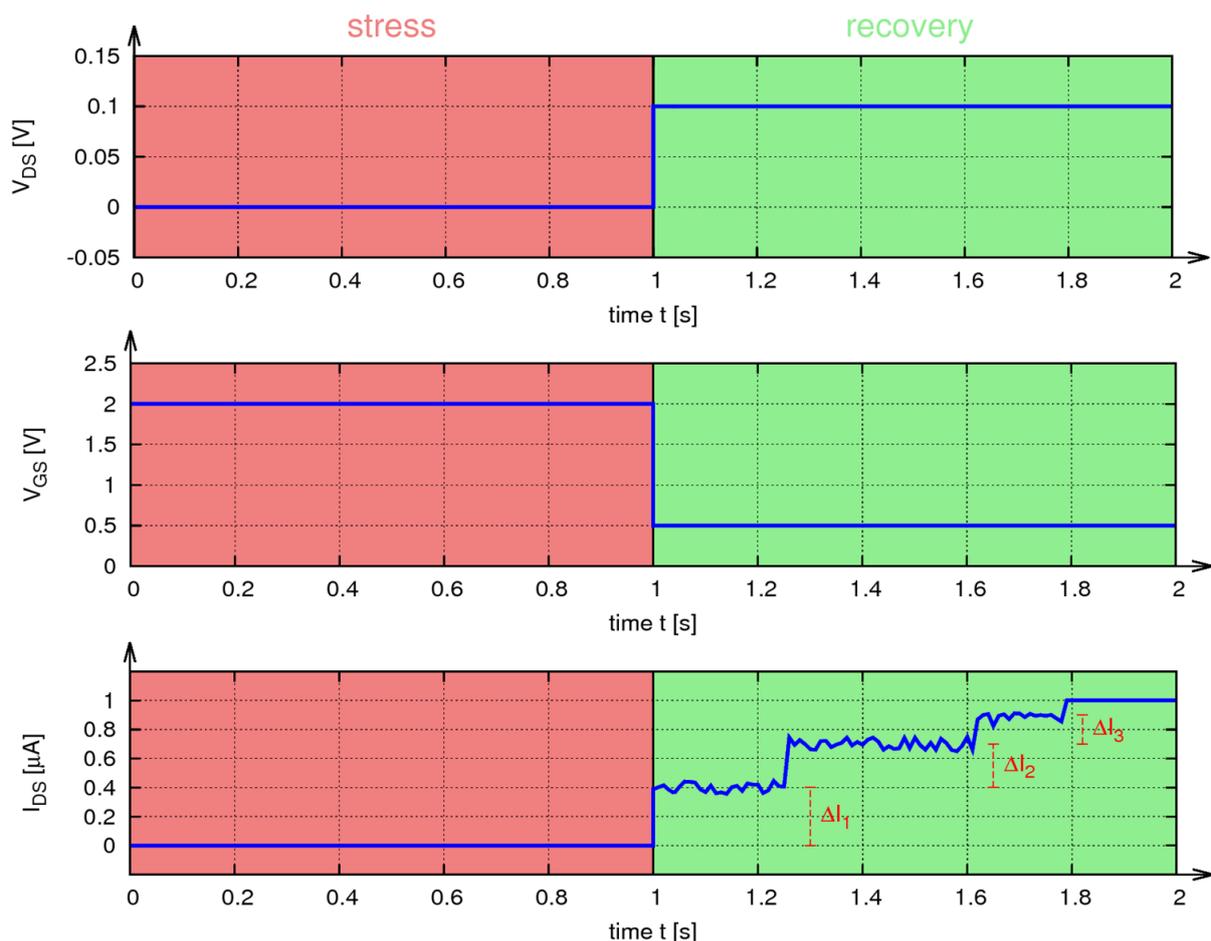


Abbildung 2-6: Stress-/Regenerationszyklus; Während der Stressphase (roter Bereich) fließt kein Strom I_{DS} , da $V_{DS}=0$ ist; Einzelne Defekte nehmen unter der Bedingung $t_s \gg \tau_c$ Ladungen auf; In der Regenerationsphase (grüner Bereich) geben die geladenen Defekte ihre Ladung an den für sie charakteristischen Emissionszeitpunkten ab. Dieses Entladen ist als diskreter Sprung in I_{DS} sichtbar.

Jeder Defekt besitzt in Abhängigkeit seiner Position zum leitfähigen Kanal eine andere Stufenhöhe, vgl. Abbildung 2-4 und Abbildung 2-5. Vom experimentellen Standpunkt aus ist der Defekt durch die Stufenhöhe ΔI_{DS} , seiner mittleren Emissionszeit und seiner mittleren Capturezeit eindeutig bestimmt. Die Parameter werden in weiterer Folge herangezogen, um die Defekte physikalisch zu modellieren.

Der Vollständigkeit halber sei erwähnt, dass durch eine Variation der Stresszeit t_s indirekt die mittlere Aktivierungszeit (Capturezeit der Defekte) bestimmt werden kann.

Durch N-maliges Ausführen einer Einzelmessung erhält man N-Einzelwerte der Emissionszeiten, aus dessen Mittelwert sich die mittlere Emissionszeit jedes Defekts berechnen lässt. Zu beachten ist hierbei, dass während dem N-maligen Messen die Bauteiltemperatur, ebenso wie die Stress- und Regenerationsspannungen von V_{DS} und V_{GS} konstant gehalten werden müssen.

Da es sich um thermisch aktivierte Prozesse handelt, ist besonders eine stabile Temperatur des Bauteils von großer Bedeutung. Es kann die Emissionszeit der Defekte durch Variation der Temperatur gezielt beeinflusst werden. Eine höhere Temperatur bedeutet eine kleinere Emissionszeit τ_e . Um nun die Temperatur für gechipte MOSFETs in DIL-Gehäusen gezielt und rasch verändern zu können, wurde die Compact Measurement Extension (CME) im Rahmen dieser Arbeit entwickelt.

3 Realisierung

Die Entwicklung des Prototyps gliedert sich in die Anfertigung eines universellen Adapterplatinensystems, um eine breite Vielzahl an DIL-Transistor-Pinbelegungen zu kontaktieren. Weiters in eine abgeschlossene Aufbaumöglichkeit in einem Schirmgehäuse um Ströme im pA-Bereich messen zu können. Ebenfalls wird eine Heizeinheit entworfen, um die Devices gezielt auf Testtemperaturen aufheizen zu können. Der benötigte Strom-/Spannungswandler (I/V-Konverter), welcher bereits entwickelt und zum Messsystem der TDDS gehört wie sie am Institut für Mikroelektronik angewandt wird, wurde zur Verfügung gestellt.

Die thermische Beanspruchung wird in Kapitel 4 behandelt.

3.1 Adapterplatinensystem

Mittels der CME soll eine breite Anzahl an Transistoren einfach kontaktiert werden. Die Testdevices befinden sich in 24poligen DIL Keramikgehäusen mit individueller Pinbelegung, siehe Abbildung 3-1.

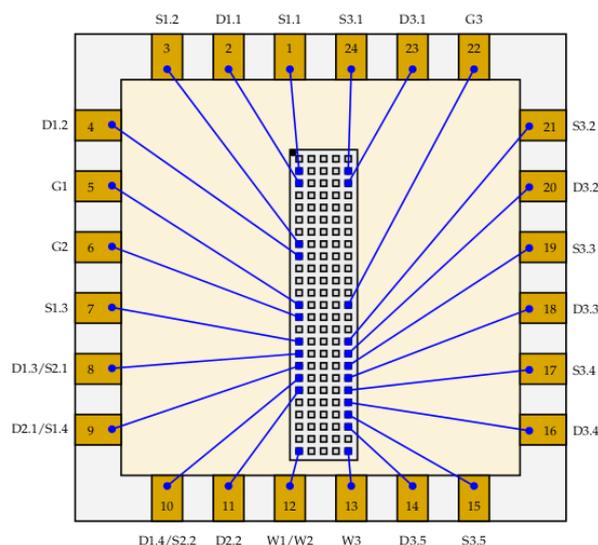


Abbildung 3-1: Beispiel einer Pinbelegung für Transistorstrukturen; in der Mitte ist der Si-Chip ersichtlich; die blauen Verbindungslinien stellen die Verbindungsdrähte (Bonddrähte) zu den IC-Pins (Pads) des Keramikgehäuses dar;

Es wird ein zweistufiges Platinensystem verwendet. Die Basisplatine ist zum I/V-Konverter im Gehäuse fest verdrahtet. Das ist notwendig um externe Störeinflüsse zu minimieren. Eine weitere Adapterplatine ist flexibel über ein Stecksystem an der Basisplatine angebracht. Diese Platine wird verwendet, um die benötigte Pinbelegung individuell variieren zu können. Die mechanische Stabilität der Adapterplatine an der Basisplatine wird durch Eckpunktsteckverbindungen gewährleistet.

Im Folgenden sind die Schaltpläne und Layouts der einzelnen Platinen dargestellt.

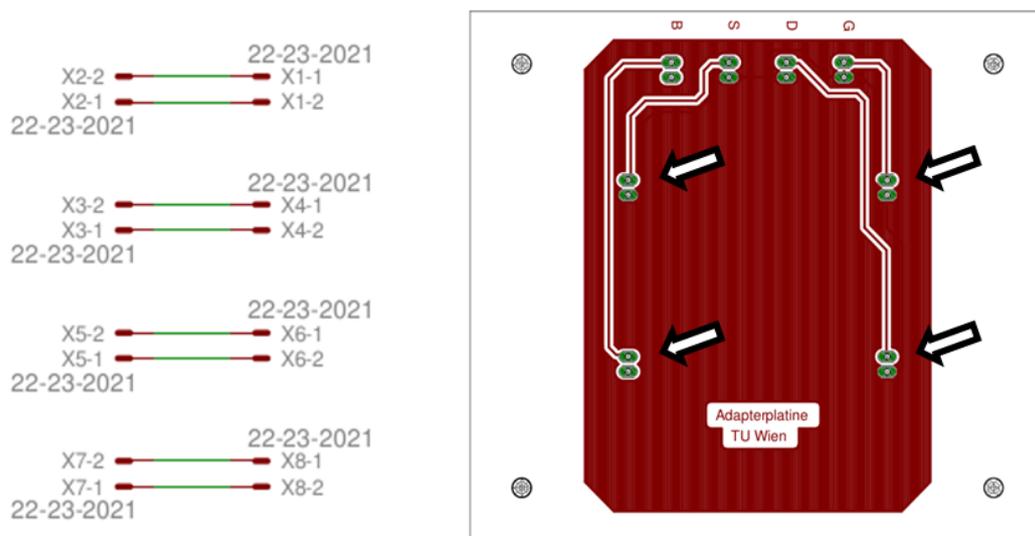


Abbildung 3-2: (links) Schaltplan der Basisadapterplatine, welcher die Verbindungplatine vom I/V-Konverter zur Adapterplatine ist und individuelle IC-Pinbelegungen ermöglicht; (rechts) Layout der Basisadapterplatine mit Massefläche (rot); Verbindungspunkte an der Oberseite zum I/V-Konverter; (Pfeile) Verbindungspunkten zur Adapterplatine;

Im Schaltplan aus Abbildung 3-2 (links) ist die feste Verdrahtung zwischen dem I/V-Konverter und dem Transistor ersichtlich. Die Anschlüsse auf der Basisplatine, welche mit dem I/V-Konverter verbunden werden, befinden sich auf der Oberseite im Layout. Die in Form eines Rechtecks angeordneten Pads werden mit der gewählten Adapterplatine kontaktiert, vgl. Abbildung 3-2 (rechts). Der rot markierte Bereich stellt eine Massefläche (Schirmpotential) zur Reduktion von Störeinflüssen dar. Die Bohrungen dienen der Befestigung der Basisadapterplatine im Gehäuse. In Abbildung 3-3 ist die gefertigte Basisplatine ersichtlich.

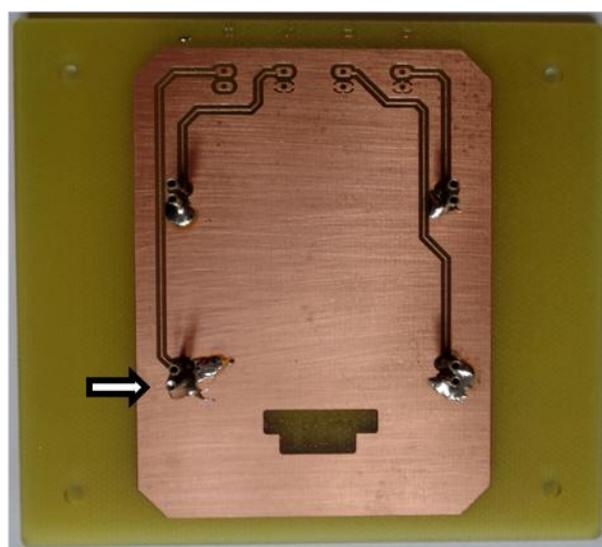


Abbildung 3-3: Basisplatine gefertigt und bestückt; (Pfeil) Verdrehschutz der Adapterplatine gegenüber der Basisplatine durch mit Lötzinn ausgefüllten Connector;

Um eine verpolungssichere Kontaktierung zwischen der Adapterplatine, welche den Keramikchip aufnimmt, und der Basisplatine herzustellen, wurde auf der Basisplatine ein Connectorpin (Schirmleitung) mit Lötzinn ausgefüllt, siehe Abbildung 3-3.

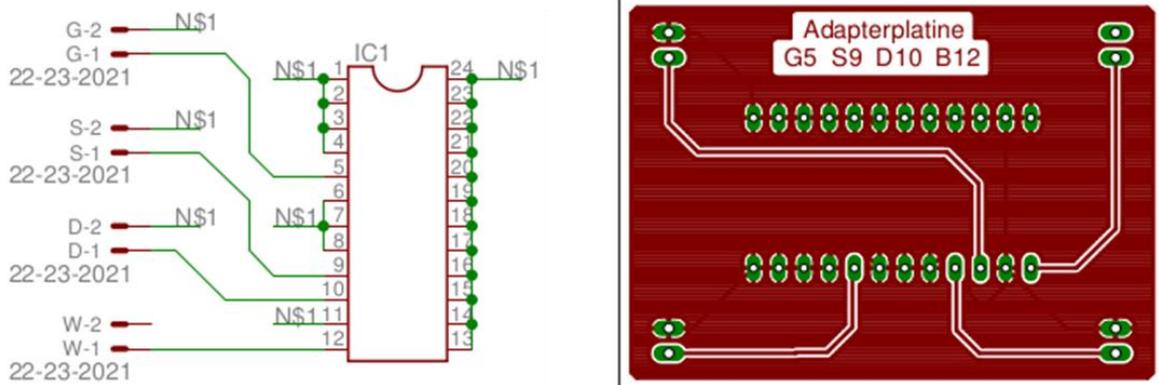


Abbildung 3-4: (links) Schaltplan der Adapterplatine mit Pinbelegung G5 S9 D10 B12 an 24Pin-DIL (rechts) Layout der Adapterplatine mit Massefläche (rot); Alle Anschlüsse der nicht verwendeten Transistoren werden auf Masse gelegt;

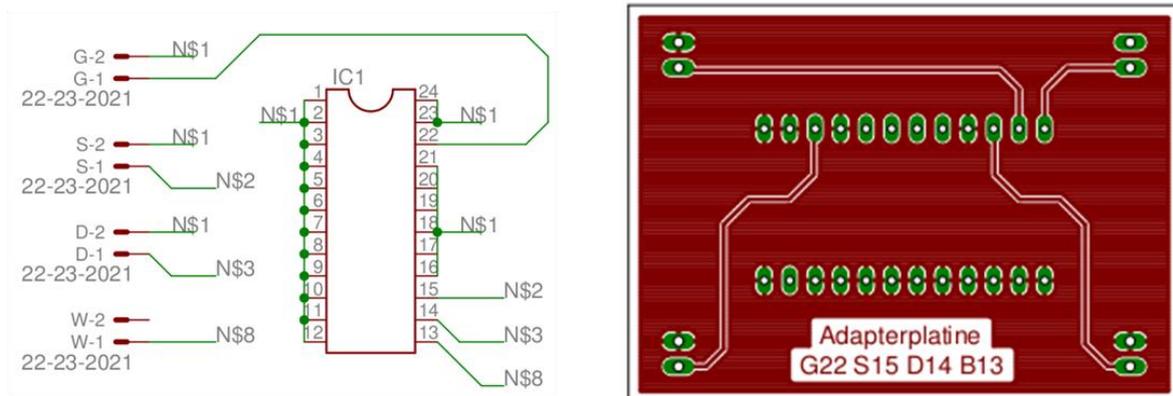


Abbildung 3-5: (links) Schaltplan der Adapterplatine mit Pinbelegung G22 S15 D14 B13 an 24Pin-DIL (rechts) Layout der Adapterplatine mit Massefläche (rot); Alle Anschlüsse der nicht verwendeten Transistoren werden auf Masse gelegt;

In Abbildung 3-4 und Abbildung 3-5 (links) sind die Schaltungen der Adapterplatinen ersichtlich. Diese stellen die Verbindungen von den Connectorpads der Basisplatine, siehe Abbildung 3-2, zu den gewählten DIL Pinbelegungen laut Abbildung 3-1 dar. Die roten Bereiche in den Layouts, siehe Abbildung 3-4 und Abbildung 3-5 (rechts), stellen Schirmpotential zur Rauschminimierung dar. Alle anderen Anschlüsse des Keramikgehäuses werden auf Masse gelegt.

Um zu verhindern, dass die Adapterplatine falsch aufgesteckt werden kann, ist ein Verdrehschutz wie in Abbildung 3-6 ersichtlich erstellt worden.

Die Adapterplatine aufgesteckt auf der Basisplatine ist in Abbildung 3-7 darstellt.

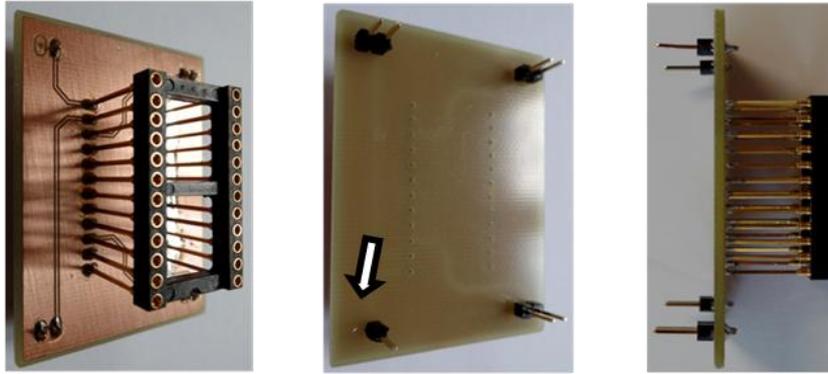


Abbildung 3-6: Adapterplatine gefertigt und bestückt; Ansicht von der Oberseite (links) 24poliger-DIL Sockel zur Verbindung mit Testtransistor; Ansicht von der Unterseite (mittig) Verdrehschutz durch fehlenden Connector; Seitenansicht (rechts) Struktur des Stecksystems der Adapterplatine;

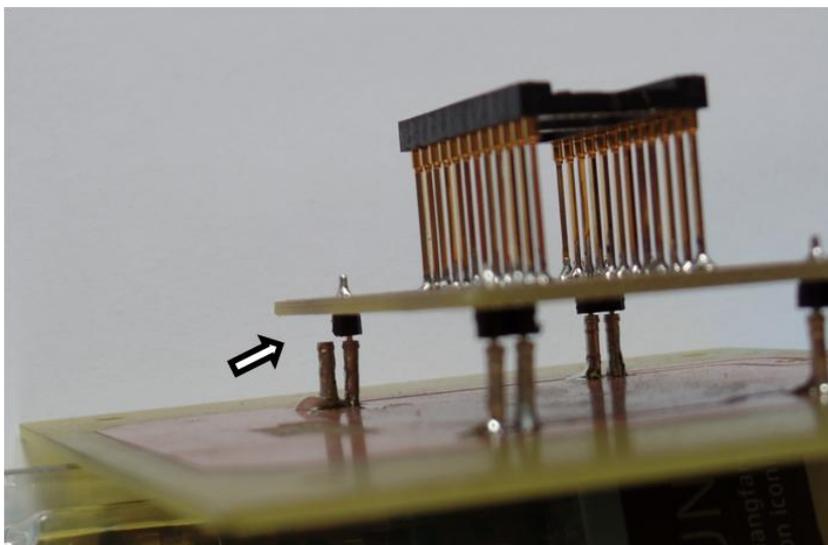
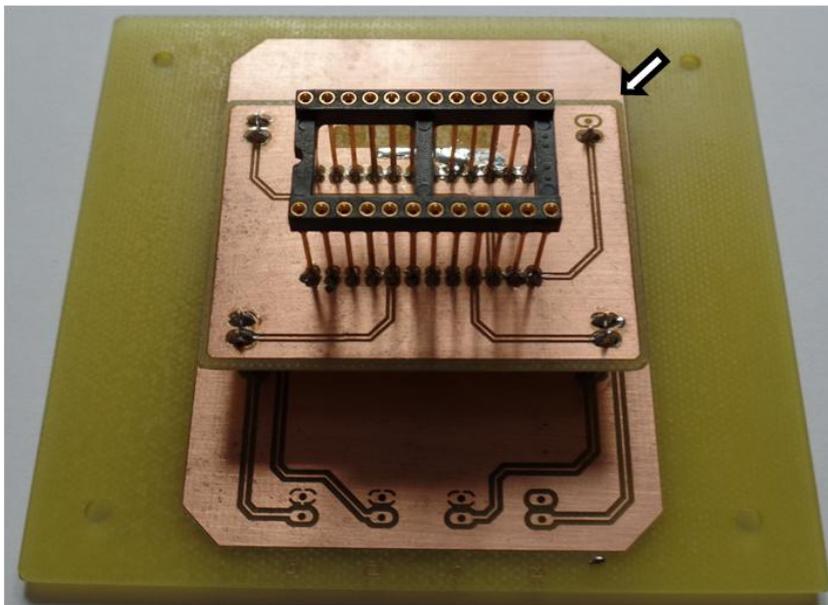


Abbildung 3-7: Adapterplatinensystem zusammengesteckt in Drauf- und Seitenansicht; (Pfeil) Verdrehschutz durch Lötzinn gefüllten Connector mit fehlendem Gegenconnectorstift;

3.2 Schirmgehäuse

Die Adapterplatinen ebenso wie der I/V-Konverter, der zur TDDS Messbox verbunden wird, werden in ein kompaktes eigenständiges Gehäuse verbaut, welches folgende Anforderung erfüllt:

- BNC Buchsen (Analog-Verbindung zum TDDS System)
- 24poliger Sub-D Stecker (Digital-Verbindung zum TDDS System)
- leichter Tausch der Adapterplatinen für verschiedene Transistoren
- Führungsmöglichkeit der thermischen Heizeinheit

Den Anforderungen entsprechend wird ein Aluminium Steckgehäuse mit Eurokarten Einschub gewählt.

Der Wechsel der Adapterplatinen zur individuellen Veränderung der Anschluss-Konfiguration für verschiedene Testtransistoren wird durch eine Ausfräsung in der Gehäuseoberseite gewährleistet, siehe Abbildung 3-8.



Abbildung 3-8: Gehäuseoberseite mit Ausfräsung und fest verbauter Basisadapterplatine; Adapterplatine für Pinbelegungswahl wird von oben eingesteckt, siehe Abbildung 7-2; M3 Gewindestangen dienen als Positionshalter der aufsteckbaren Heizeinheit, siehe Abbildung 7-3;

Die Heizeinheit, beschrieben in Abschnitt 4, ist so konstruiert, dass sie auf das Schirmgehäuse aufgesetzt werden kann. Die M3 Gewindestangen, siehe Abbildung 3-8, dienen hierbei als Führungsachsen der Heizeinheit. Die Basisadapterplatine wird von innen an die durch die Gehäuseoberseite geführten Gewindeführungsstangen befestigt.

Die Verbindungsstecker zur TDDS Messbox werden über die Vorderseite des Aluminiumgehäuses geführt. Die Vorderseite der CME ist somit mit den nötigen Fräsungen und Beschriftungen gefertigt, siehe Abbildung 3-9.

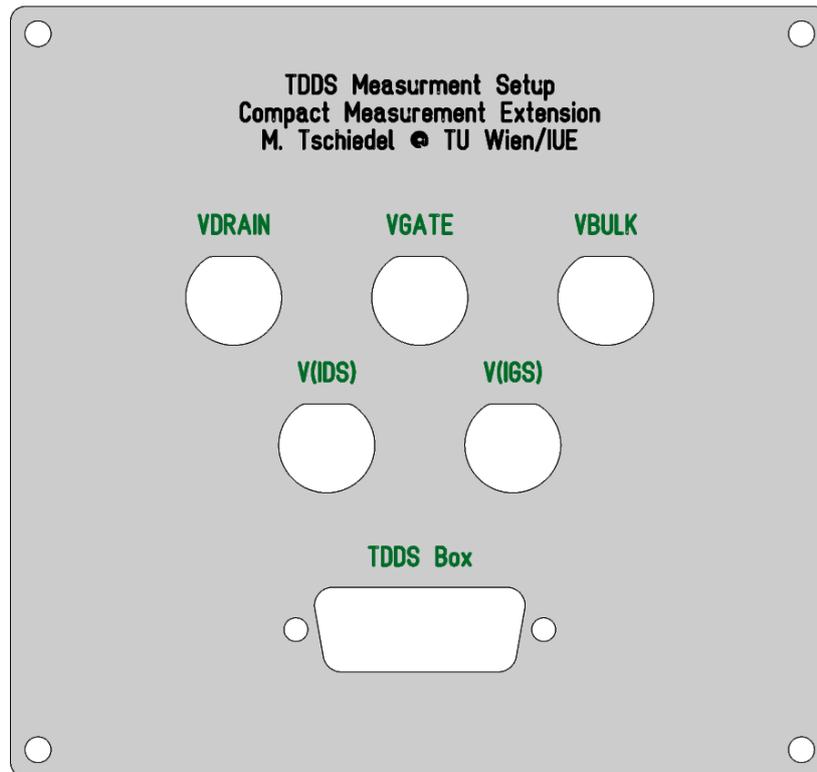


Abbildung 3-9: CME Frontplatte Fräs- und Gravurvorlage; Gravur 0,4mm Schriftart DIN1451;

Die entsprechenden Konstruktionszeichnungen der einzelnen Komponenten sind im Anhang 7.2 ersichtlich.

3.3 Bauteilwahl

Die Komponenten wurden unter Berücksichtigung der in den vorherigen Kapitel beschriebenen Anforderungen ausgewählt und sind in Tabelle 1 zusammengefasst.

Name	Typ	Hersteller	Vertrieb	Best. Nr.	Bemerkung
Gehäuse	Kühlrippengehäuse EKG 3	proMa	gie-tec	130048	B=110 x T=168 x H=104 (mm)
Gewindestange	M3stahl, verzinkt	-	RS Components	530-292	4 Stück je 15cm
IC Sockel	DIL 24pol. RM: 0,6inch	fischer elektronik	reichelt elektronik	DIL 24 NG	MIL: -40...+200°C
Printplatten	-	-	-	-	-
Stiftleiste	2,54mm 10pol.	ITW Pancon	RS Components	473-521	-
Buchsenleiste	2,54mm 32pol.	Winslow	RS Components	267-7444	-
Frontplatte	Aluminium eloxiert	-	Schaeffer AG	-	1,5mm, individuell designet

Tabelle 1: Bauteilwahl der Gehäuse- und Adapterplattenkomponenten

4 Variation der Bauteiltemperatur

Wie im Abschnitt 2 Grundlagen bereits erwähnt, stellt die Temperatur einen wichtigen Parameter im Zusammenhang mit der Defektcharakterisierung in MOSFETs dar. Ergänzend zu Messungen bei Umgebungstemperatur werden definierte Temperaturen im Bereich von +20°C bis +140°C den Messbereich und die Einsatzmöglichkeit der CME erweitern.

4.1 Realisierung

Zum Schutz des Siliziumchips sowie der Bonddrähte ist die Oberseite des verwendeten Keramikgehäuses mit einem Messingdeckel versehen, siehe Abbildung 4-1. Auf diesem wird flexibel ein Heizelement angebracht, welches zusammen mit einem Temperatursensor die Heizeinheit bildet.

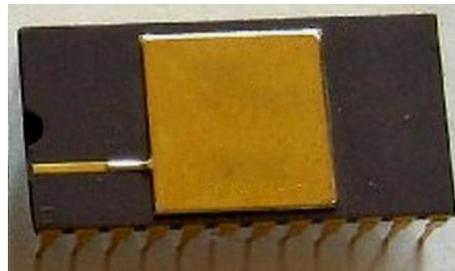


Abbildung 4-1: 24poliger DIL IC mit Messingdeckel zum Schutz des Siliziumchips sowie der Bonddrähte;

Das Heizelement und der Temperatursensor werden in eine Teflonträgerplatte eingebaut. In dieser sind vier Messingführungshülsen eingeschraubt mittels dieser die Heizeinheit auf die CME aufgesteckt wird. In den Führungselementen sind von oben M4 Madenschrauben eingeschraubt, die den maximalen Tiefgang der Heizeinheit auf der CME Basisbox bestimmen, siehe Abbildung 4-2.



Abbildung 4-2: CME Vorderansicht mit aufgesteckter Heizeinheit; Madenschrauben legen den maximalen Tiefgang fest, sodass das Heizelement nicht auf den IC-Sockel anfährt;

Um einen raschen Temperaturwechsel durchzuführen, wird ein Heizelement mit 70 Watt Heizleistung verwendet. Der Temperatursensor wird entsprechend der Sensorspezifikation des Temperaturkontrollers TC1010 der Firma mb-Technologies angepasst. Der Temperaturkontroller verfügt über einen softwareseitigen PID-Regler, um eine rasche und dennoch exakte Temperaturregelung sicherzustellen. Die Pinbelegung des Anschlusskabels der Heizeinheit ist an den Temperaturkontroller angepasst, siehe Abbildung 4-3.



Abbildung 4-3: Stecker und Pinbelegung der Heizeinheit für die Verwendung mit dem Temperaturkontroller TC1010 der Firma mb-Technologies;

Um den thermischen Übergangswiderstand zwischen Heizelement und IC noch weiter zu verringern, wird eine Silikonthermoleitmatte mit einer Wärmeleitfähigkeit von 2,5W/mK angebracht, siehe Abbildung 4-4.

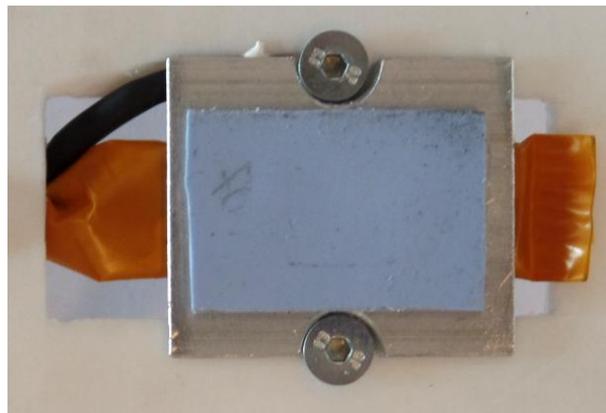


Abbildung 4-4: Heizelement mit Wärmeleitfolie (blau) zur Reduktion des thermischen Übergangswiderstandes zwischen Heizelement und Keramikgehäuse;

Die entsprechenden Konstruktionszeichnungen der einzelnen Komponenten sind im Anhang 7.2 ersichtlich. Weitere Abbildungen der Heizeinheit sowie in Verbindung mit der CME sind im Anhang 7.1 einzusehen.

4.2 PID-Regler Dimensionierung

Der Temperaturkontroller TC1010 verfügt über einen in Software implementierten PID-Regler, um die Temperaturabweichung zwischen Ist- und Solltemperatur schnell zu minimieren. Die Parameter des proportionalen, differentialen sowie integralen Regelanteils können über die serielle Schnittstelle manuell verändert werden. Ziel ist

es mittels der Heizeinheit eine rasche Temperaturänderung zu ermöglichen. Wichtig ist beim Aufheizen, dass es zu keinem großen Übersteuern des Temperaturbereiches kommt, da die Heizeinheit nicht aktiv gekühlt wird und somit die Temperaturabsenkung nur durch Wärmeabgabe an die Umgebung möglich ist. Der Abkühlvorgang ist verglichen mit der Aufheizphase sehr langsam. Der optimale Parametersatz für die Heizeinheit, bestehend aus dem Heizelement sowie dem Temperatursensor in der Teflonträgerplatte, wurde in einem iterativen Prozess ermittelt. Hierbei wurden die Parameter der Regelanteile variiert und deren Auswirkung auf einen Temperatursprung analysiert, vgl. Abbildung 4-5.

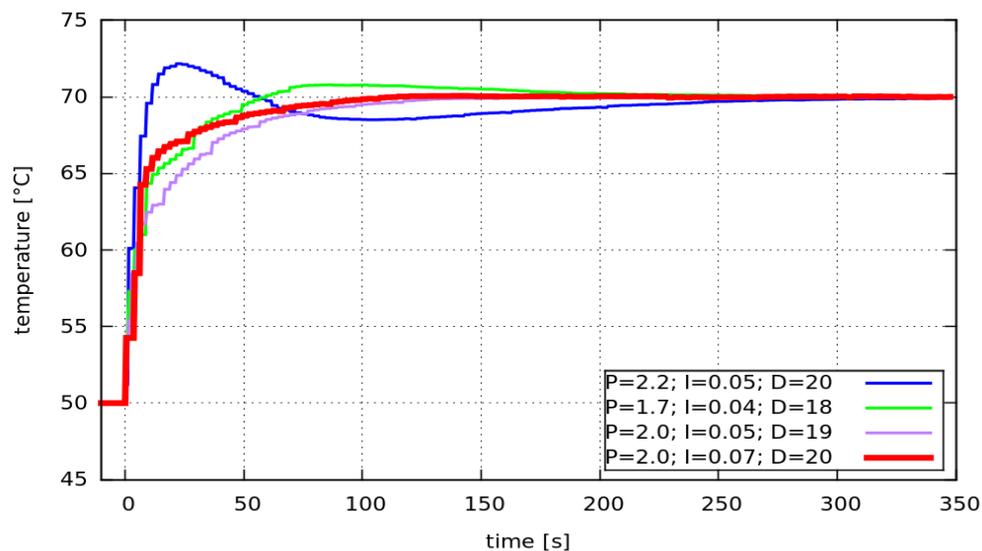


Abbildung 4-5: Temperatursprung von 30°C auf 50°C; Variation der Parametereinstellungen des (P) Proportional-, (I) Integral- sowie (D) Differentialanteils; Die rote Kurve stellt optimales Verhalten mit raschem Temperaturanstieg ohne Temperaturüberschwingen dar;

Die gewählten Parameter für den Temperaturkontroller TC1010² in Kombination mit der Heizeinheit sind für den Proportionalanteil **P=2.0**, den Integralanteil **I=0.07** sowie für den Differentialanteil **D=20**.

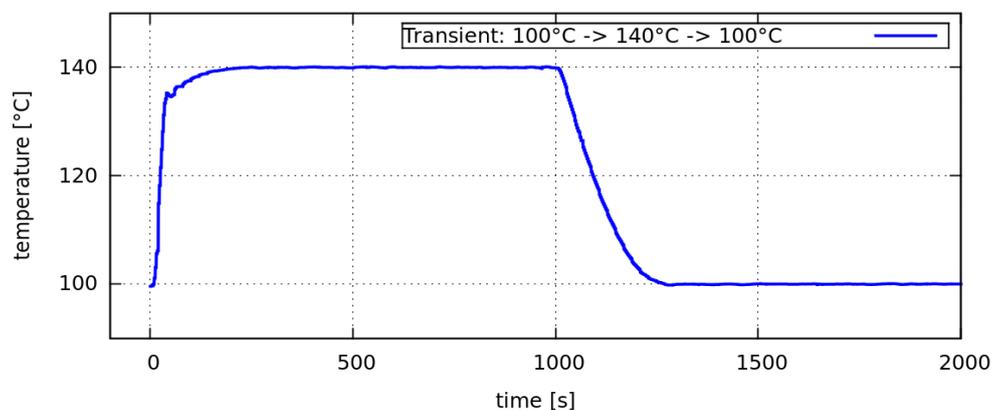


Abbildung 4-6: Temperatursprung von 100°C auf 140°C zum Zeitpunkt t=0s; Temperatursprung von 140°C auf 100°C bei t=1000s; Der Aufheizvorgang ist nach rund 200s, der Abkühlvorgang ist nach rund 300s abgeschlossen;

² Firmware des Temperaturkontroller Version 1.1.537

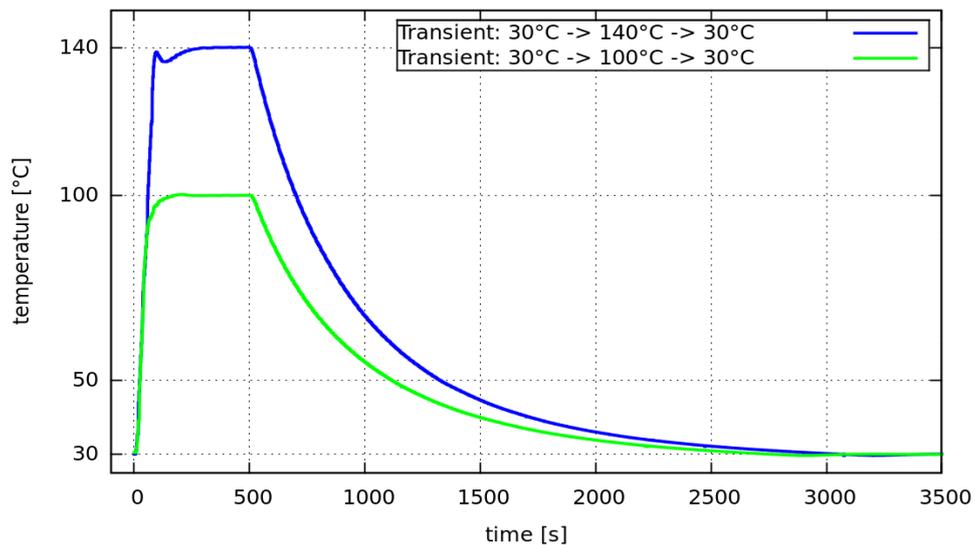


Abbildung 4-7: Temperatursprung von 30°C auf 100°C bzw. 140°C zum Zeitpunkt $t=0s$; Temperatursprung von 140°C bzw. 100°C auf 30°C bei $t=500s$; Der Aufheizvorgang ist nach rund 300s, abgeschlossen, der Abkühlvorgang ist erst nach 3000s abgeschlossen;

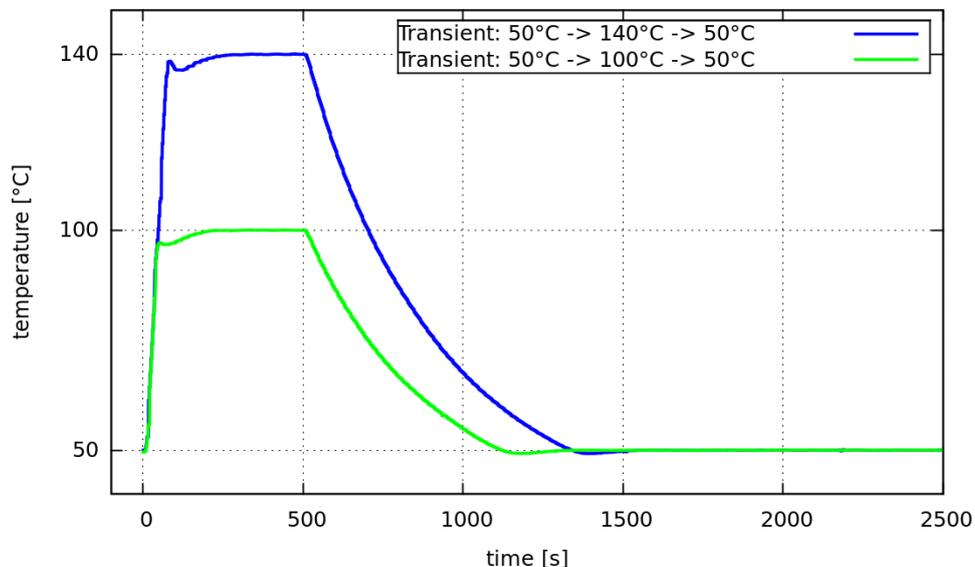


Abbildung 4-8: Temperatursprung von 50°C auf 100°C bzw. 140°C zum Zeitpunkt $t=0s$; Temperatursprung von 140°C bzw. 100°C auf 50°C bei $t=500s$; Der Aufheizvorgang ist nach rund 250s, abgeschlossen, der Abkühlvorgang ist erst nach 800s abgeschlossen;

Anhand der Abbildung 4-7 sowie Abbildung 4-8 können typische Zeitkonstanten für Aufheiz- sowie Abkühlvorgänge der Heizeinheit gewonnen werden. Der Aufheizvorgang von Raumtemperatur auf die maximal zulässige Temperatur von 140°C dauert ca. 300s. Durch fehlende aktive Kühlung ist die Dauer des Abkühlvorganges stark von der Zieltemperatur abhängig. So dauert es etwa 900s um von 140°C auf 50°C abzukühlen. Ein Temperatursprung zurück auf 30°C hingegen dauert ca. 3000s. Dies ist durch das exponentielle Verhalten des Abkühlens und die Temperaturdifferenz zwischen Umgebungstemperatur und Temperatur des Heizelements bestimmt.

4.3 Abschätzen der Zeitkonstanten

Der Aufheiz- und Abkühlvorgang lässt sich durch eine Exponentialfunktion der Form

$$T(t) = T_A + \Delta T (1 - e^{-t/\tau})$$

beschreiben. Hierbei ist T_A die Starttemperatur, $\Delta T = T_E - T_A$ die Temperaturdifferenz und τ eine charakteristische Zeitkonstante.

Für den Aufheizvorgang des maximalen Temperaturbereiches wurde $\tau_H=60s$ ermittelt. Für das Abkühlen von T_{max} bis zur Raumtemperatur ergibt sich $\tau_C=600s$. Die Verläufe zur Ermittlung der Zeitkonstanten sind in Abbildung 4-7 dargestellt. Für die exakte Berechnung müsste $\tau(\Delta T)$ ermittelt werden.

Für den Abkühlvorgang ist τ_C eine sehr gute Näherung. Um eine gewünschte Zieltemperatur T_x im Abkühlvorgang zu erreichen ergibt sich somit in guter Näherung

$$t_C \approx (-600s) \ln \left(\frac{T_A - 30^\circ C}{T_x - 30^\circ C} \right)$$

wobei T_A die Ausgangstemperatur ist. Die Werte ΔT sowie τ_C bleiben die unverändert approximierten Parameter. In Tabelle 2 sind typische Zeiten für Abkühlvorgänge zusammengestellt.

T_A [°C]	T_x [°C]	t_c [s]
140	100	270
140	70	600
140	30	3000
100	70	335
100	50	750
70	50	415
70	30	2200

Tabelle 2: Typische Abkühlzeiten von T_A auf T_x

Für das Aufheizen hingegen kann folgende Faustformel verwendet werden:

$$t_H \approx \frac{\Delta T}{1.3^\circ C/s} + 200s$$

Die Heizeinheit heizt ausgehend von der Starttemperatur T_A mit ca. $1.3^\circ C/s$. Danach wird die Temperatur langsam in ca. 200s der Zieltemperatur angeglichen, um zu keinem Überschwingen zu führen. In Tabelle 3 sind typische Zeiten für Heizvorgänge zusammengestellt.

ΔT [°C]	T_H [s]
20	215
40	230
70	255
110	285

Tabelle 3: Typische Heizzeiten für verschiedene Temperatursprünge ΔT

Somit sind Heizvorgänge maßgebend durch das Zuregeln an die Zieltemperatur bestimmt. Es sei noch einmal betont, dass besonders die Heizeinheit nicht aktiv gekühlt wird und somit die Temperaturabsenkung nur durch Wärmeabgabe an die Umgebung möglich ist.

4.4 Bauteilwahl

Die Komponenten wurden unter Berücksichtigung der in den vorherigen Kapitel beschriebenen Anforderungen ausgewählt und sind in Tabelle 4 zusammengefasst.

Name	Typ	Hersteller	Vertrieb	Best. Nr.	Bemerkung
Messing Rundmaterial	10x250mm	-	123 Stahl Shop	MSRU10250	CuZn39Pb3 (Ms58)
Madenschraube	M4 x 6mm	-	RS Components	529-949	Sechskantschraube Stahl
Heizelement	70W 35 x 40mm	DBK	Farnell	1514371	24V
Anschlusskabel	8polig 0,14mm ²	Unitronic	RS Components	608-4026	-
Temperatursensor	PT1000	Heraeus	Conrad	181293 - 62	-
Trägerplatte	PTFE 6mm	Ensinger	RS Components	197-0051	Tmax: +260°C
Wärmeleitfolie	TGF-M-SI	HALA	-	-	2mm 2,5W/mK
Stecker	8polig 60V/5A	Lumberg	RS Components	533-2649	-
Temperaturcontroller	TC1010	mb Tech	-	-	-

Tabelle 4: Bauteilwahl der Heizeinheitkomponenten

5 Testmessungen

Neben dem Erreichen der Zieltemperatur der Heizeinheit ist besonders die Temperatur des Siliziumchips, auf welchem sich der MOSFET befindet, von Bedeutung. Die Temperatur der Heizeinheit wird über den Temperaturkontroller auf die Solltemperatur eingeregelt, siehe Abschnitt 4.3. Bis jedoch die zu messende Struktur im Keramikgehäuse die Temperatur des Heizelements erreicht hat, vergeht eine weitere Zeitdauer. Diese ist abhängig von der Temperaturdifferenz der Aufheizphase sowie des thermischen Übergangswiderstandes zwischen Heizelement und Keramikgehäuse. Da es sich bei den Messungen der Testtransistoren um thermisch aktive Prozesse handelt, ist eine genaue Kenntnis der Bauteiltemperatur sehr wichtig.

Um diesen Einfluss messtechnisch zu erfassen, wurden ab Erreichen der Zieltemperatur der Heizeinheit in regelmäßigen Abständen von 10s I/V-Kurven des Testtransistors aufgenommen. Auf der y-Achse ist die Veränderung der I/V-Kurve, d.h. Änderung der Gate Spannung um einen definierten Strom von $I_{DS}=50\text{nA}$ zu erreichen dargestellt. Die Veränderung der Messwerte wurde auf den ersten Messwert nach Erreichen der Zieltemperatur der Heizeinheit bezogen und in Abbildung 5-1 dargestellt. Um eine Restabweichung von $\Delta V_{TH} < 0.5\text{mV}$ zu garantieren erhält man eine maximale Wartezeit von $t_{HCmax}=406\text{s}$.

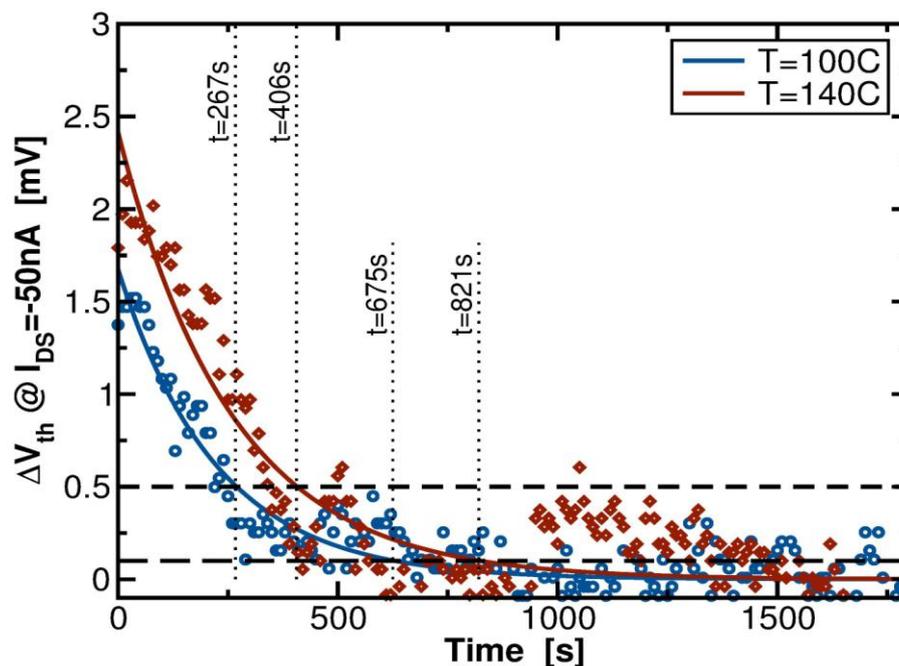


Abbildung 5-1: Temperaturveränderung der MOSFET-Struktur nach Erreichen der Zieltemperatur der Heizeinheit; Darstellung der Abweichung bezogen auf die ersten Messwerte nach Erreichen der Zieltemperatur; Für $\Delta V_{TH} < 0.5\text{mV}$ $t_{HCmax}=406\text{s}$; Für $\Delta V_{TH} < 0.1\text{mV}$ $t_{HCmax}=821\text{s}$;

Es muss bei den Ergebnissen von Abbildung 5-1 beachtet werden, dass andere Regelparameter des Temperaturcontrollers leichte abweichende $\Delta V_{TH}(T)$ Verläufe zur Folge haben.

Die so gewonnenen Zeitkonstanten dienen als Abschätzung bis die MOSFETs eine stabile Temperatur haben. Somit muss insgesamt nach einem Temperaturwechsel zuerst das Erreichen der Zieltemperatur der Heizeinheit, siehe Abschnitt 4.3, anschließend bis der Si-Wafer im Keramikgehäuse die Zieltemperatur erreicht hat abgewartet werden. Die Gesamtdauer ist durch

$$\Delta t = t_H + t_{HC}$$

bestimmt. Für den maximalen Temperatursprung auf 140°C ergibt sich somit eine Wartezeit von ca. 691s für $\Delta V_{TH} < 0.5\text{mV}$, bzw. 1106s für $\Delta V_{TH} < 0.1\text{mV}$.

Typische Regenerationsphasen eines pMOSFETs mit $W=160\text{nm} \times L=120\text{nm}$ bei 80°C Chiptemperatur sind in Abbildung 5-2 dargestellt. Der Drain-Source Strom wurde in eine äquivalente Änderung der Gate Spannung umgerechnet. Das Abgeben der in der Stressphase eingefangenen Ladungen der einzelnen Defekte ist als diskrete ΔV_{TH} Sprünge sichtbar, vgl. Abbildung 2-6.

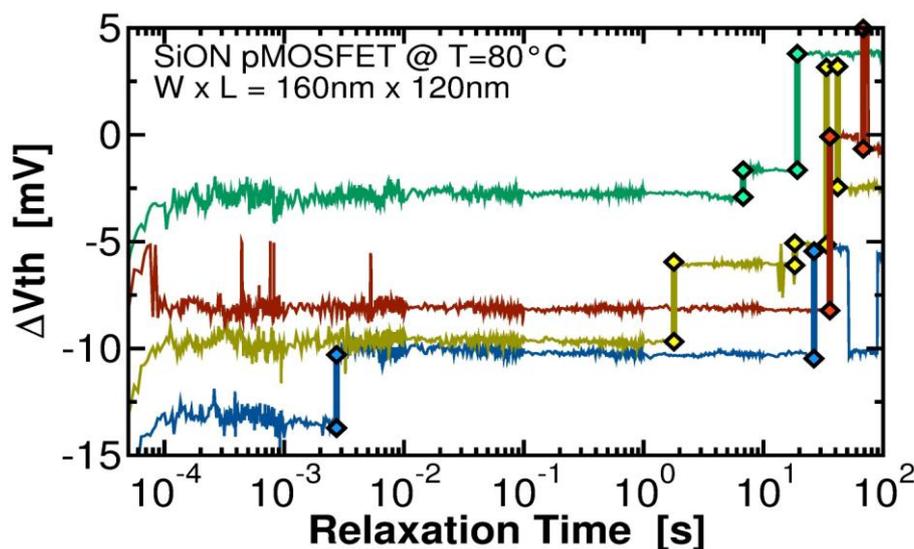


Abbildung 5-2: Regenerationsphase eines pMOSFET mit $W=160\text{nm} \times L=120\text{nm}$ bei 80°C Chiptemperatur; Der Drain-Source Strom wurde in eine Änderung der Gate Spannung umgerechnet und man erhält somit diskrete ΔV_{TH} Sprünge, welche die Ladungsemission der einzelnen Defekte wiedergeben. Die einzelnen Messkurven stammen aus mehrmaligen Einzelmessungen des gleichen Transistors bei konstanten Stress- und Regenerationsbedingungen;

Wie im Abschnitt 2.3 angedeutet, können durch das mehrmalige Messen der TDDS Einzelmessung, statistisch aussagekräftige Parameter für jeden Defekt ermittelt werden. Somit bilden sich Cluster zu jedem Defekt, welche aus z.B. 100 Einzelmessungen gewonnen werden. Aus den Einzelmessungen werden die Emissionszeitpunkte und Stufenhöhen ausgewertet. Dargestellt in der Emissionszeit und Stufenhöheebene ergeben sich sog. Spectral-Maps. Der Cluster eines Defekts,

welcher in der Spectral-Map dargestellt ist, ist die eindeutige Identifizierung jedes einzelnen Defektes ähnlich eines Fingerabdruckes.

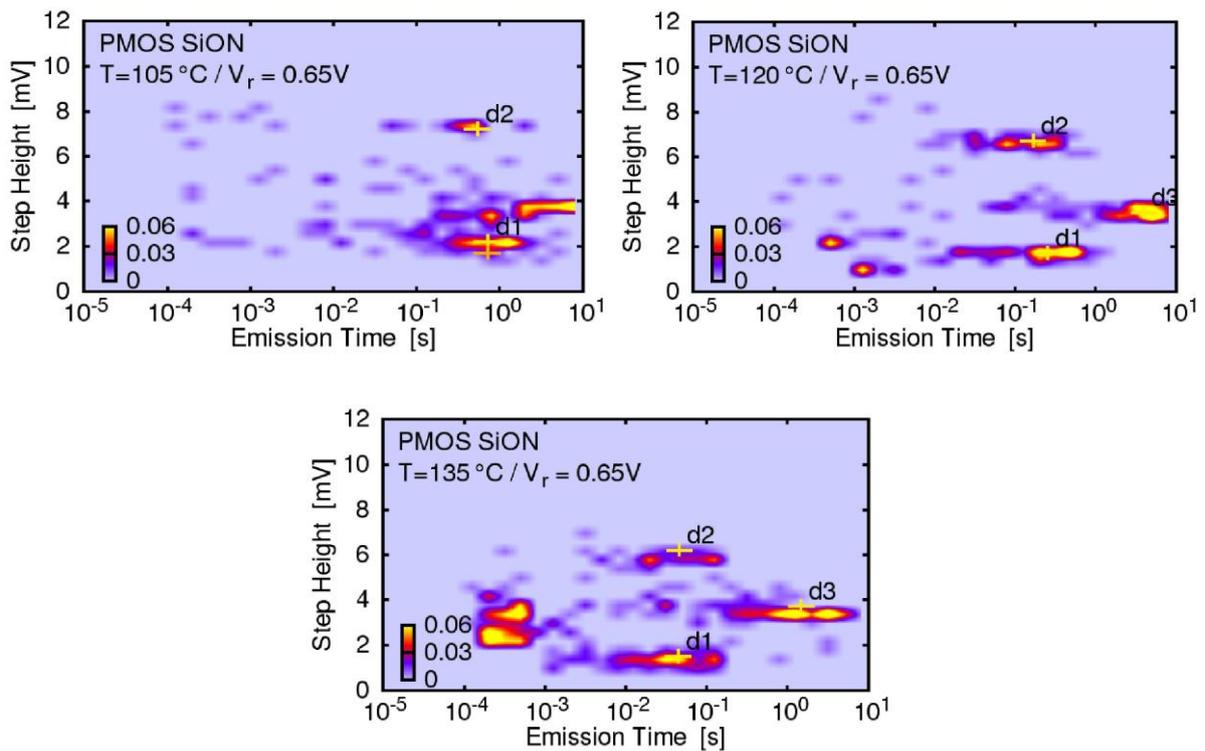


Abbildung 5-3: Spectral-Maps pMOSFET mit $W=160\text{nm} \times L=120\text{nm}$ bei verschiedenen Chiptemperaturen; Durch eine Erhöhung der Temperatur wird die Emissionszeit der Defekte verringert; Es können drei Cluster im beobachteten Zeitbereich identifiziert werden, welche mit steigender Temperatur Richtung kleinerer Emissionszeit wandern;

Weiters ist anhand der Abbildung 5-3 ist deutlich erkennbar, dass mit steigender Temperatur die Emissionszeitpunkte τ_e der einzelnen Defekte kleiner wird. D.h. die Cluster der einzelnen Defekte verschieben sich bei höheren Temperaturen in Richtung kleineren Zeitkonstanten. Es können somit bei höheren Temperaturen auch Defekte mit längeren Emissionszeiten in das aktuelle Messfenster wandern, siehe Cluster d3.

6 Ausblick

Abschließend wird noch ein Ausblick auf eine mögliche Weiterentwicklung der CME gegeben.

Durch den modularen Aufbau kann die Pinbelegung an die Testdevices sehr einfach angepasst werden. Weiters ist die Heizeinheit leicht aufsteckbar. Dieses modulare Grunddesign ermöglicht es einzelne Teile der CME individuell zu optimieren.

In aktuellen Studien wird die permanente Komponente der Degradierung genauer untersucht. Dafür sind konkrete Tests von einigen Monaten mit unterschiedlichen Bauteilen, unterschiedlichen Technologien aber gleicher Temperatur notwendig. Daher ist eine Weiterentwicklung zur parallelen Vermessung von mehreren Bauteilen wünschenswert.

Weiters wäre eine Temperaturbereichserweiterung bis ca. 250°C eine mögliche Ausbaustufe. In einem ersten Schritt müsste hierbei der Temperatursensor ausgetauscht werden, da die Teflonträgerplatte als auch das Heizelement sowie der IC-Sockel bereits für 200°C Maximaltemperatur ausgelegt sind. Neben gezielten Aufheizvorgängen ist auch eine aktive Kühlung wünschenswert. Einem ersten Versuch nach, siehe Abbildung 6-1, reduziert sich die Abkühlphase durch aktive Kühlung mit gasförmigen N₂ für einen Temperatursprung von 140°C auf 25°C auf unter 200s.

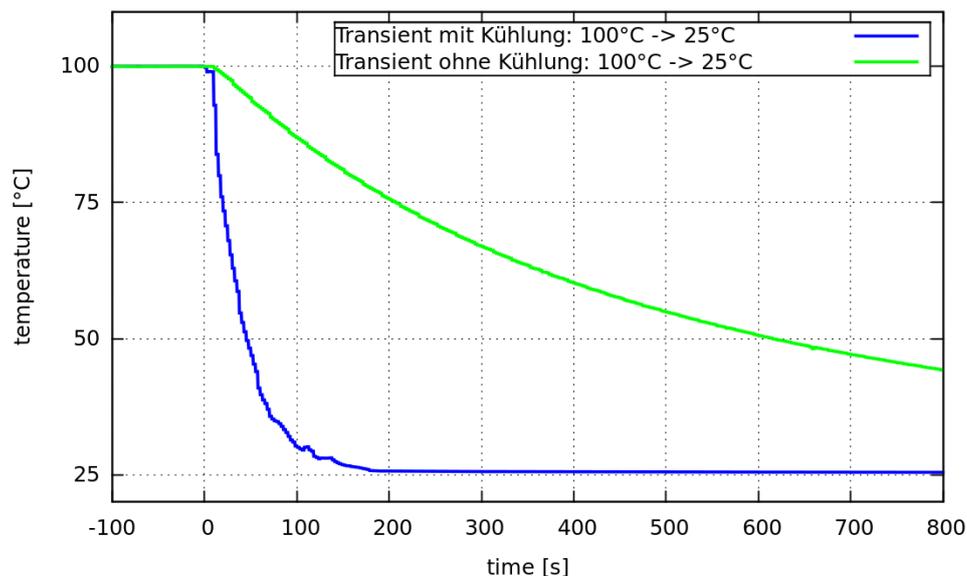


Abbildung 6-1: Temperatursprung von 100°C auf 25°C zum Zeitpunkt t=0s; Durch aktive Kühlung mit gasförmigen N₂; Abkühlvorgang ist bereits nach 200s abgeschlossen;

Insgesamt stellt die CME durch ihre kompakte Aufbauweise und komfortable Transportmöglichkeit eine ideale Lösung für viele schnelle Versuchsmessungen aber auch für Langzeitmessungen dar.

7 Anhang

7.1 Photodokumentation

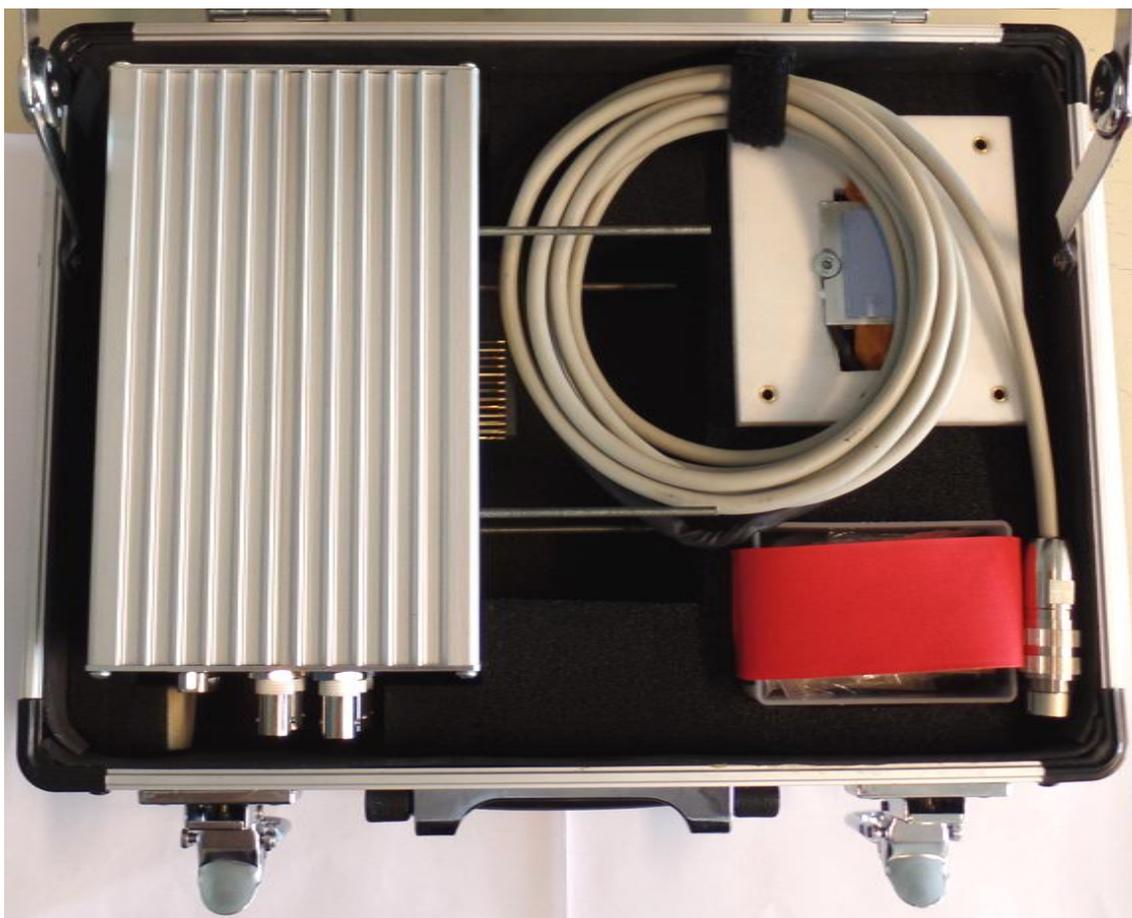


Abbildung 7-1: Gesamtsystem in Transportkoffer



Abbildung 7-2: CME Aufsicht mit Adapterplatte

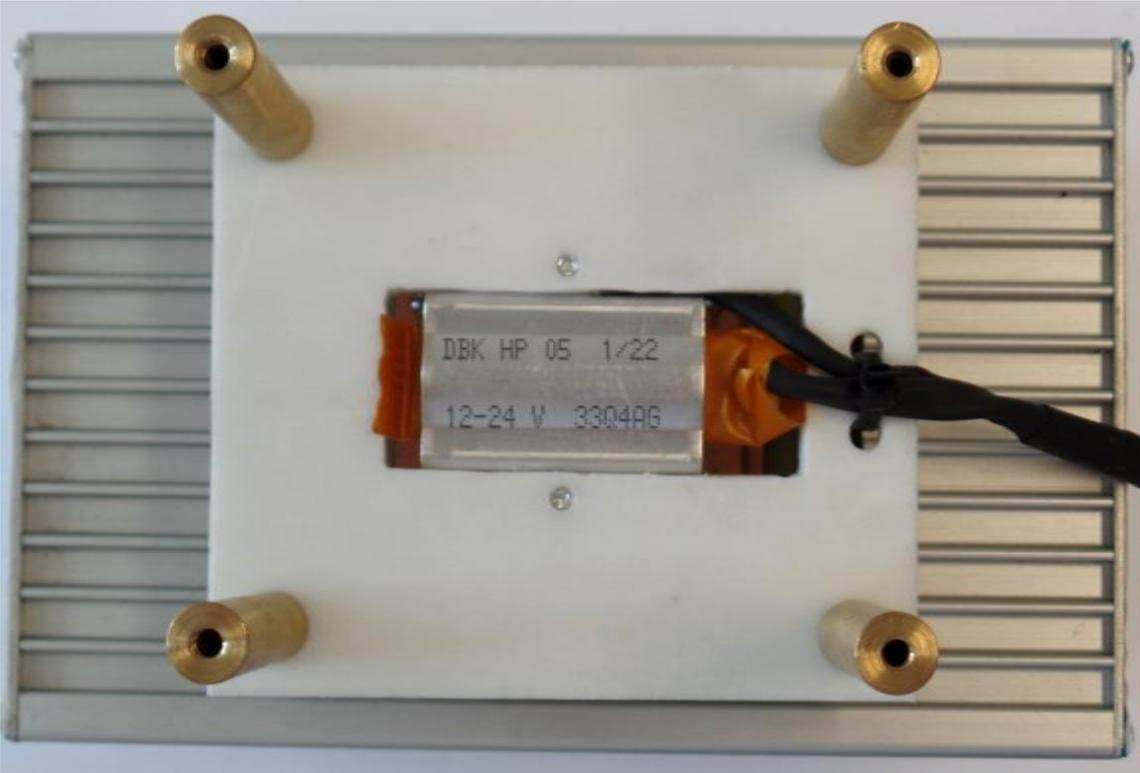


Abbildung 7-3: CME Aufsicht mit Heizeinheit

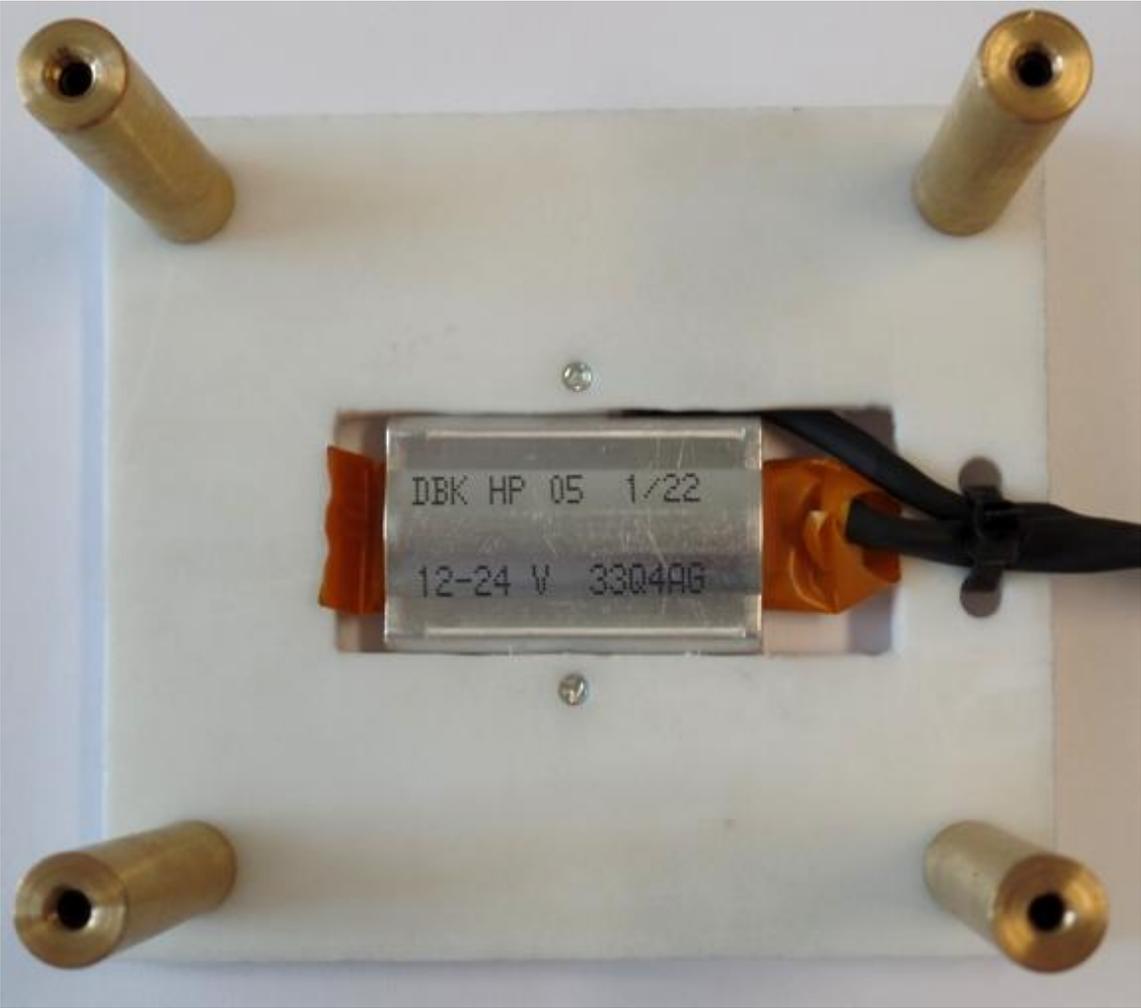


Abbildung 7-4: Heizelement Aufsicht

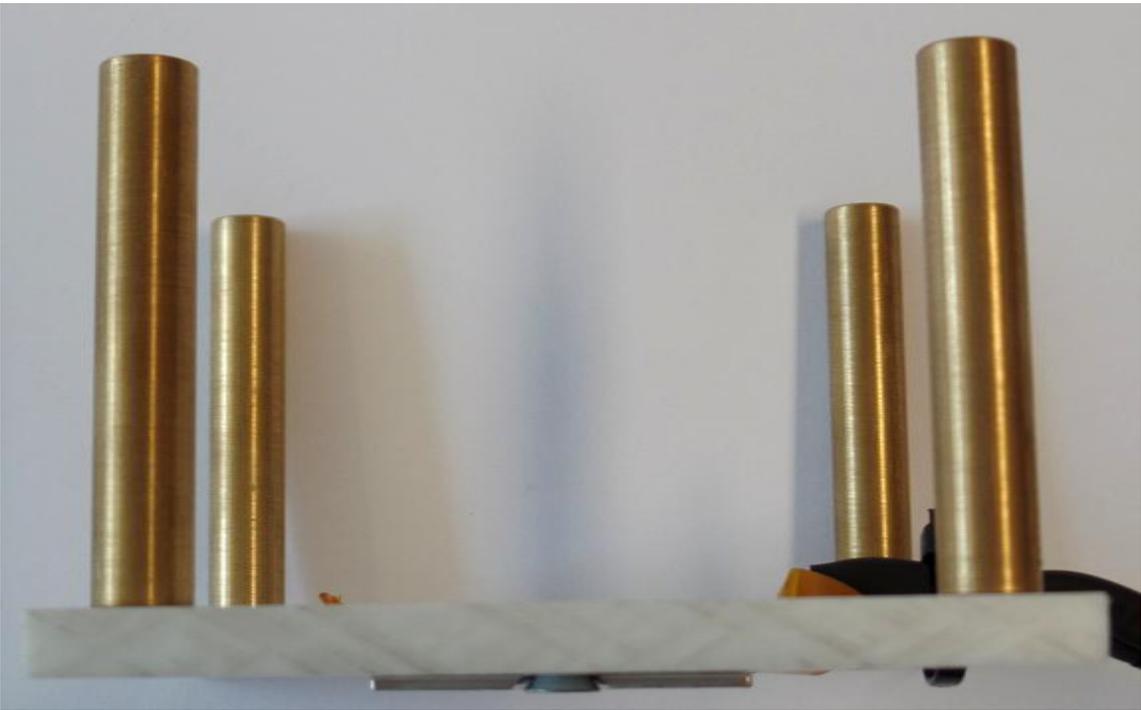


Abbildung 7-5: Heizeinheit Seitenansicht

7.2 Konstruktionszeichnungen

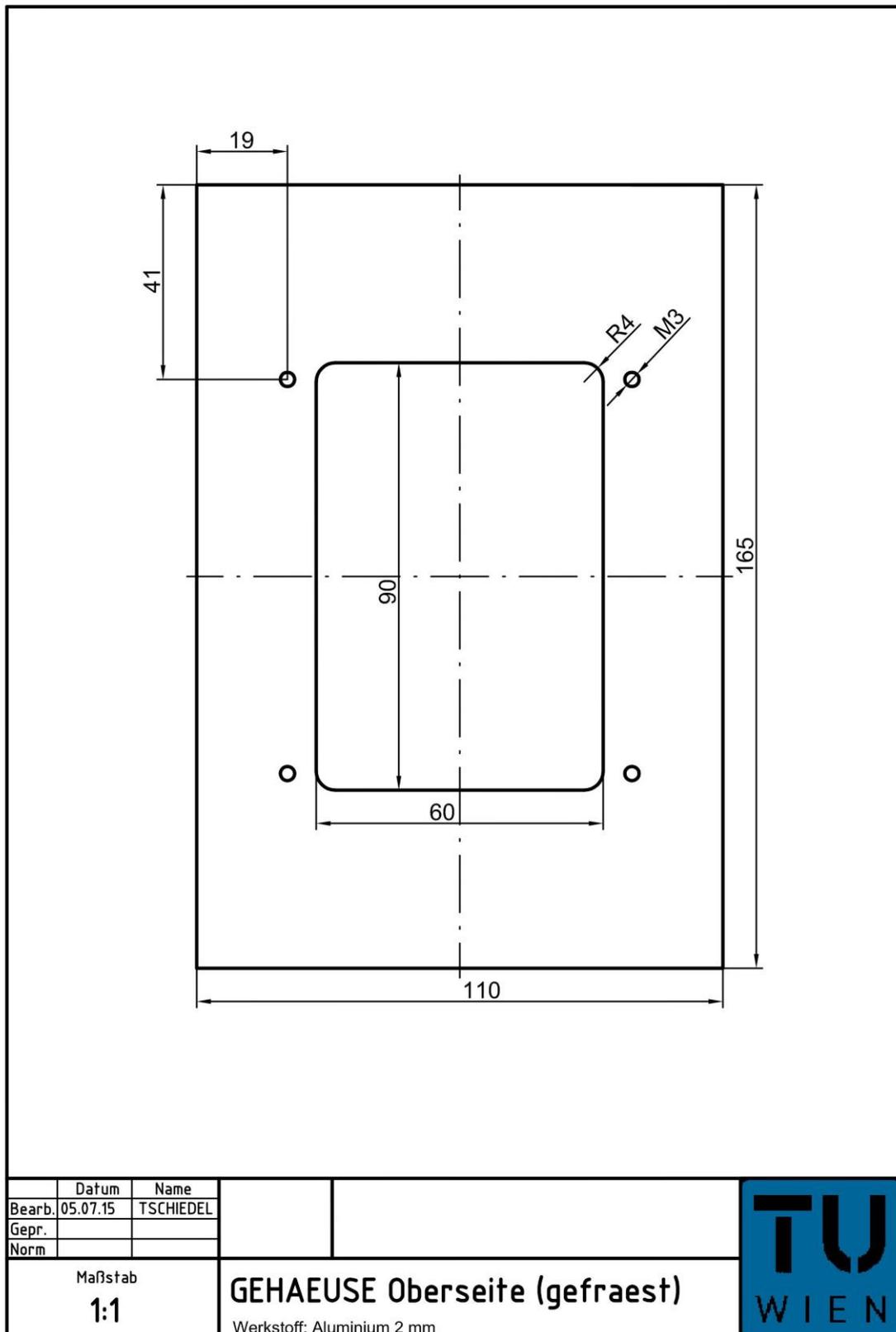


Abbildung 7-6: CAD Gehäuse Oberseite

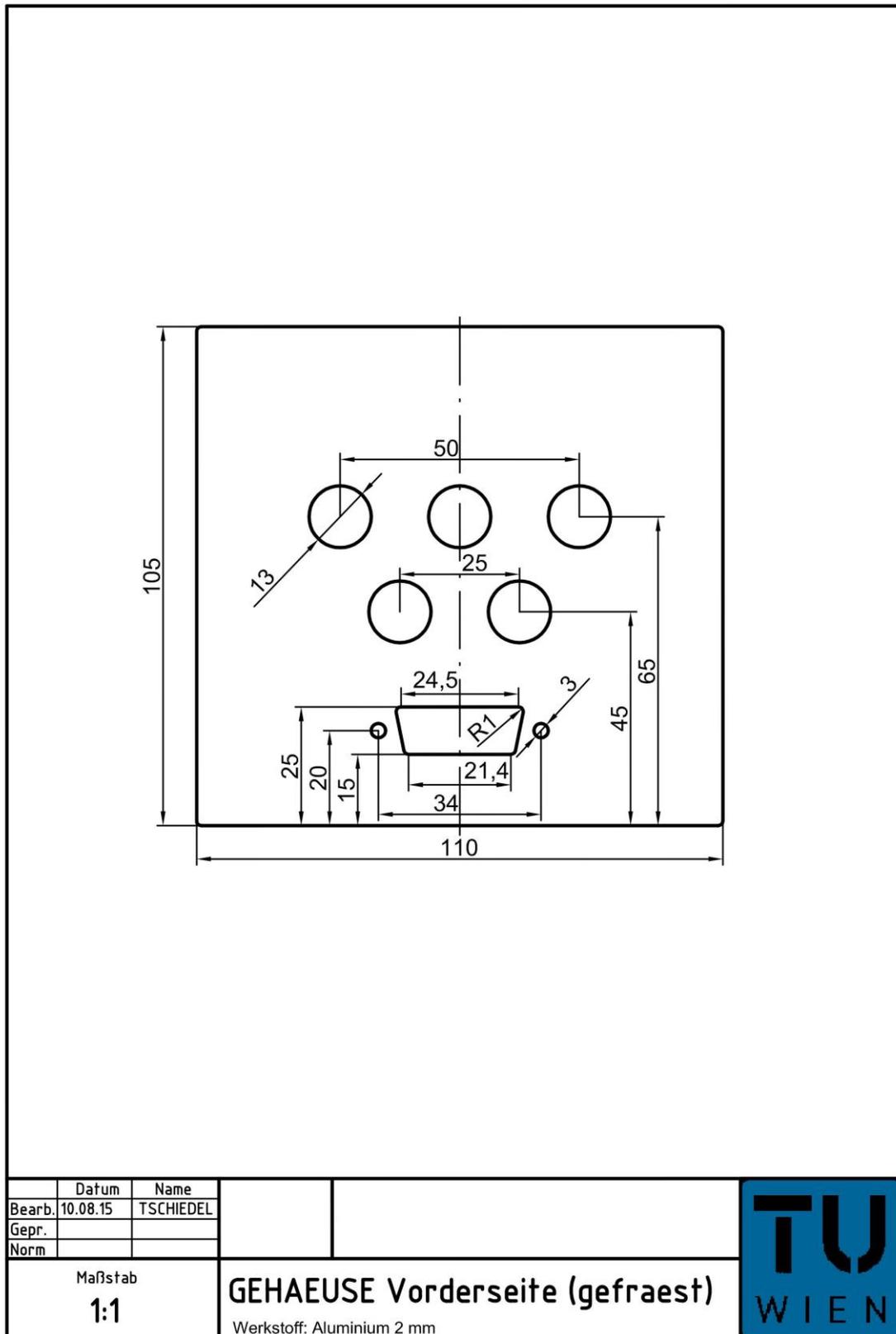


Abbildung 7-7: CAD Gehäuse Vorderseite

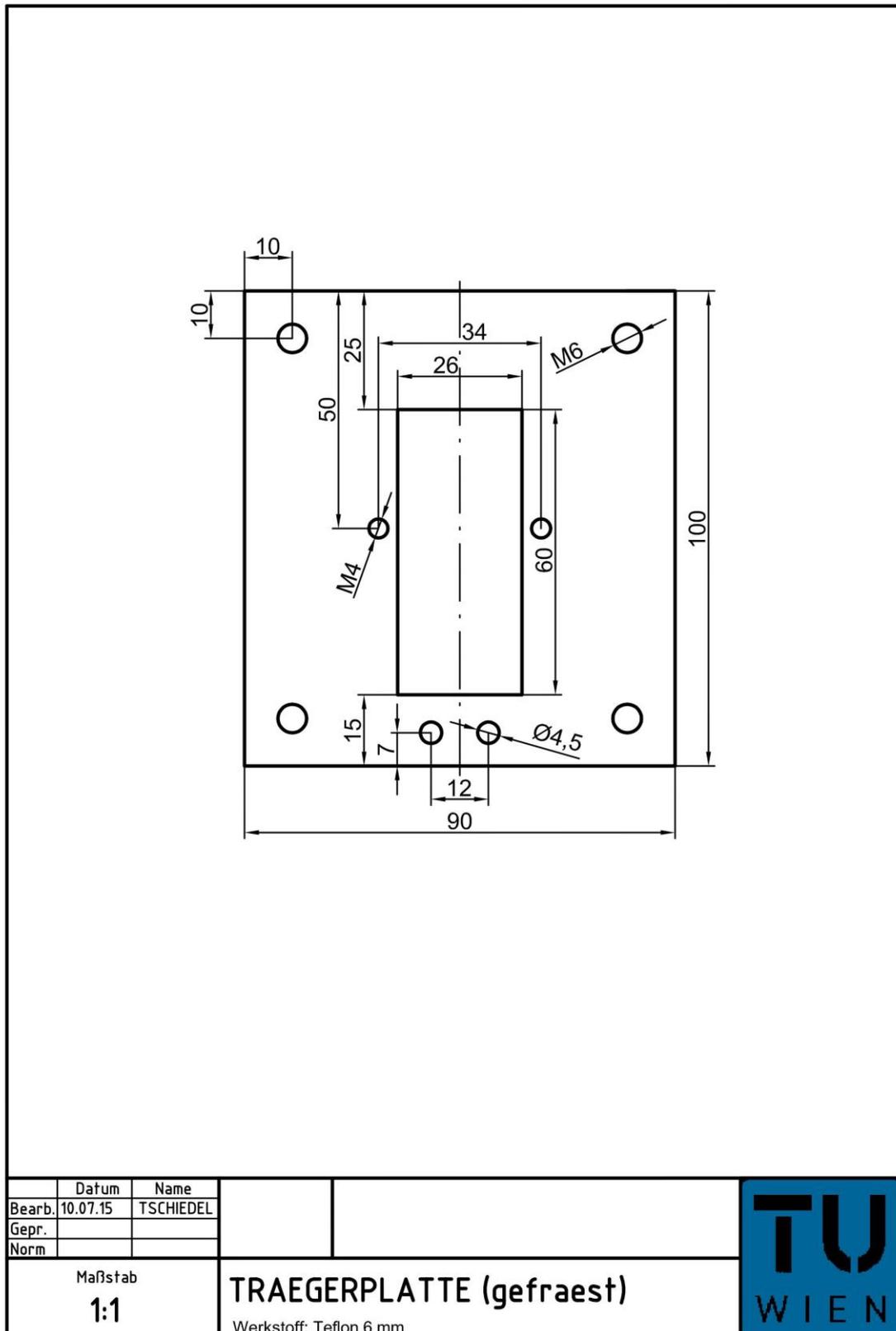


Abbildung 7-8: CAD Trägerplatte

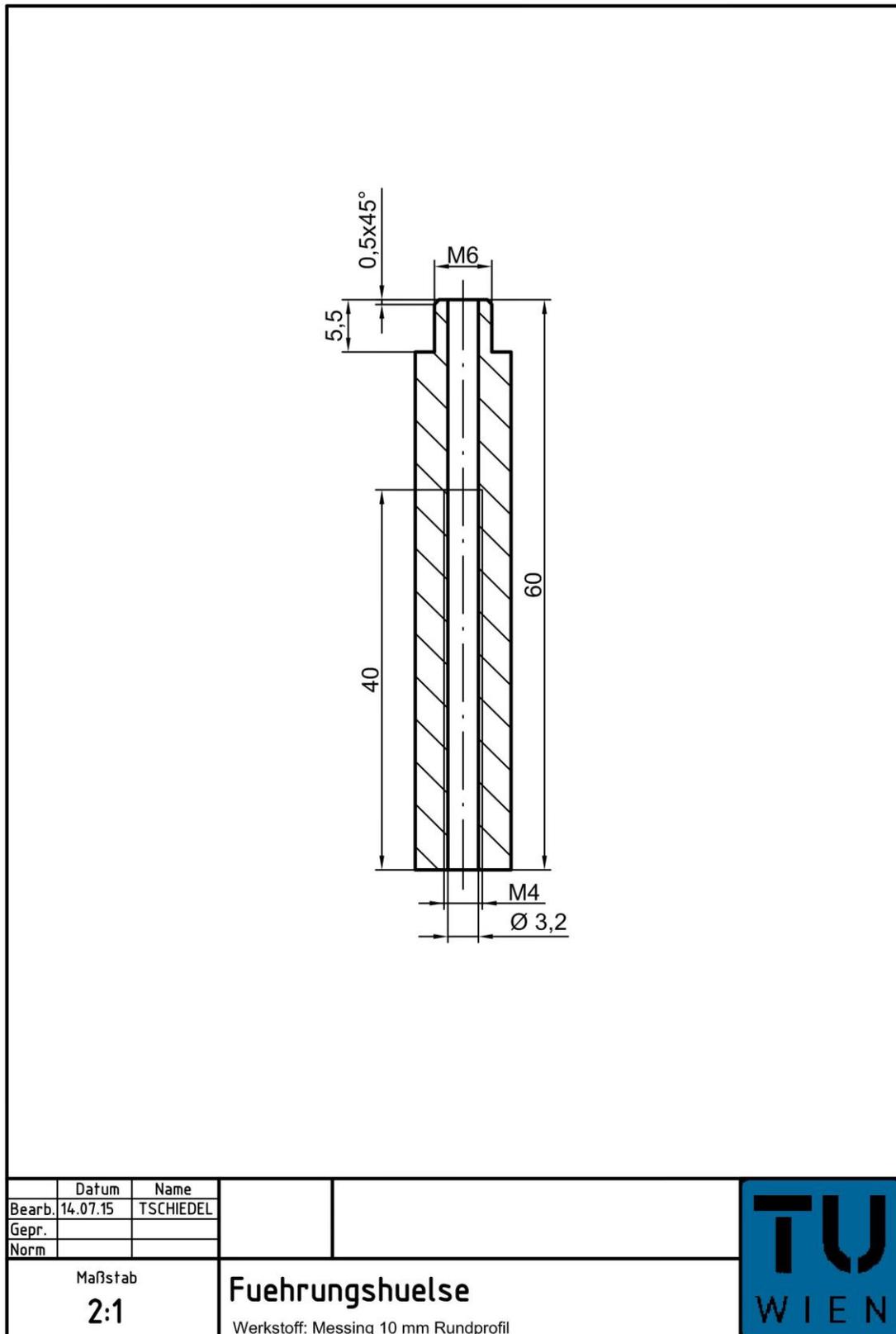


Abbildung 7-9: CAD Führungshülse

8 Literaturverzeichnis

1. **E. Bertagnoli** Elektronische Bauelemente. TU Wien - Institut für Festkörperelektronik : s.n., Sommersemester 2015. LVA 362.072.
2. **M. Reisch** *Elektronische Bauelemente*. s.l. : Springer, 2006. S. vgl. 975. ISBN 978-3-540-34014-0.
3. *Reduction of the BTI Time-Dependent Variability in Nanoscaled MOSFETs by Body Bias*. **J. Franco, B. Kaczer, M. Toledano-Luque, Ph. J. Roussel, G. Groeseneken, Bened. Schwarz, M. Bina, M. Waihl, P.-J. Wagner and T. Grasser**. Monterey, CA, USA : Conference Proceedings of International Reliability Physics Symposium (IRPS 2013), 2013.
4. **B. Schwarz** Simulation of Random Dopant Fluctuations with a Quantum Corrected Drift Diffusion Model. TU WIEN - Institut für Mikroelektronik: Diplomarbeit, 17. 06 2011. Supervisor: T. Grasser, M. Bina.
5. **T. Grasser** Microelectronics Reliability. *Stochastic charge trapping in oxides: From random telegraph noise to bias temperature instabilities*. s.l. : ELSEVIER, 2012, pp. 39-70.
6. **T. Grasser, H. Reisinger, P. Wagner, F. Schanovsky, W. Goes and B. Kaczer**. The time dependent defect spectroscopy (TDDS) for the characterization of the bias temperature instability. IEEE. *Reliability Physics Symposium (IRPS)*. 2010